

PATENT
8017-1130

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of

Shinpei IIJIMA et al. Conf.

Application No. NEW NON-PROVISIONAL Group

Filed March 16, 2004 Examiner

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND METHOD OF
MANUFACTURING THE DEVICE

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

March 16, 2004

Sir:

Applicant(s) herewith claim(s) the benefit of the priority filing date of the following application(s) for the above-entitled U.S. application under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2003-075955	March 19, 2003

Certified copy(ies) of the above-noted application(s) is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



Benoit Castel, Reg. No. 35,041
745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297
Telefax (703) 685-0573
703) 979-4709

BC/yr

Attachment(s): 1 Certified Copy(ies)



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 3月19日

出願番号 Application Number: 特願2003-075955

[ST. 10/C]: [JP2003-075955]

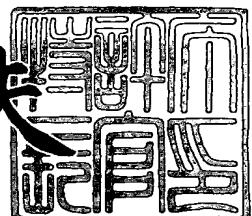
出願人 Applicant(s): エルピーダメモリ株式会社

出願人
エルピーダメモリ株式会社
代表取締役
今井 康夫

2004年 3月 2日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2004-3015499

【書類名】 特許願
【整理番号】 22310240
【提出日】 平成15年 3月19日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/02
【発明者】
【住所又は居所】 東京都中央区八重洲 2-2-1 エルピーダメモリ株式会社内
【氏名】 飯島 晋平
【発明者】
【住所又は居所】 東京都中央区八重洲 2-2-1 エルピーダメモリ株式会社内
【氏名】 黒木 啓二
【特許出願人】
【識別番号】 500174247
【氏名又は名称】 エルピーダメモリ株式会社
【代理人】
【識別番号】 100088328
【弁理士】
【氏名又は名称】 金田 暢之
【電話番号】 03-3585-1882
【選任した代理人】
【識別番号】 100106297
【弁理士】
【氏名又は名称】 伊藤 克博
【選任した代理人】
【識別番号】 100106138
【弁理士】
【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0111098

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置およびその製造方法

【特許請求の範囲】

【請求項 1】 キャパシタ素子を備えた半導体集積回路装置の製造方法であつて、

第1の導電性材料による所定の形状の底部と該底部の縁に沿って形成された筒形状を有する王冠構造を半導体基板上の第1の絶縁膜上に形成し、

前記第1の導電性材料よりも酸化されにくく第2の導電性材料をシード層として少なくとも前記王冠構造の開口底部と側壁に形成し、

前記第1の絶縁膜上に形成された前記シード層を除去し、

前記王冠構造表面に形成された前記シード層上に前記第2の導電性材料を均一な膜厚で形成して、前記王冠構造と前記第2の導電性材料を有する、前記キャパシタ素子の蓄積電極を形成し、

前記蓄積電極の露出面に前記キャパシタ素子の誘電体である第2の絶縁膜を形成し、

前記第2の絶縁膜に酸素を導入する半導体集積回路装置の製造方法。

【請求項 2】 前記シード層の膜厚を前記第1の絶縁膜上に比べて前記王冠構造の頂上を厚くする請求項1記載の半導体集積回路装置の製造方法。

【請求項 3】 前記シード層の形成にスパッタリング法を用いる請求項1または2記載の半導体集積回路装置の製造方法。

【請求項 4】 前記シード層の除去に異方性ドライエッティングを用いる請求項1乃至3のいずれか1項記載の半導体集積回路装置の製造方法。

【請求項 5】 前記異方性ドライエッティングは、

前記王冠構造の開口底部に形成された前記シード層を削る速度が前記第1の絶縁膜上の前記シード層を削る速度よりも小さくなる条件である請求項4記載の半導体集積回路装置の製造方法。

【請求項 6】 前記シード層上への前記第2の導電性材料の形成にCVD法を用いる請求項1乃至5のいずれか1項記載の半導体集積回路装置の製造方法。

【請求項 7】 前記第1の導電性材料の機械的強度が前記第2の導電性材料

よりも大きい請求項1乃至6のいずれか1項記載の半導体集積回路装置の製造方法。

【請求項8】 前記第2の導電性材料がルテニウムである請求項1乃至7のいずれか1項記載の半導体集積回路装置の製造方法。

【請求項9】 前記第1の導電性材料が金属を含有する請求項1乃至8のいずれか1項記載の半導体集積回路装置の製造方法。

【請求項10】 前記第1の導電性材料が窒化チタンである請求項1乃至9のいずれか1項記載の半導体集積回路装置の製造方法。

【請求項11】 前記第2の絶縁膜が酸化タンタルである請求項1乃至10のいずれか1項記載の半導体集積回路装置の製造方法。

【請求項12】 キャパシタ素子を備えた半導体集積回路装置であつて、前記キャパシタ素子は、

窒化チタンによる所定の形状の底部と該底部の縁に沿つて形成された筒形状を有する王冠構造の開口底部と側壁が前記窒化チタンよりも機械的強度が小さい導電性材料で覆われた蓄積電極を半導体基板上の絶縁膜上有する半導体集積回路装置。

【請求項13】 前記導電性材料は前記窒化チタンよりも酸化されにくい材質である請求項12記載の半導体集積回路装置。

【請求項14】 前記導電性材料はルテニウムである請求項13記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、キャパシタ素子を備えた半導体集積回路装置およびその製造方法に関する。

【0002】

【従来の技術】

現在、製品化されているDRAM (Dynamic Random Access Memory) のキャパシタ素子においては、MIS (金属上部電極／誘

電体／シリコン下部電極）構造が用いられている。高集積化のために、製品世代ごとに縮小されるメモリセルにあって、キャパシタ素子を構成するために許容される平面面積および空間容積も小さくなる一方である。しかし、DRAMの性能確保のためにはキャパシタ素子の容量を一定に保つことが要求される。

【0003】

DRAMのキャパシタ素子は、蓄積電極となる下部電極と、プレート電極となる上部電極と、下部電極および上部電極に挟まれる誘電体とを有する構成である。周知の如くキャパシタ素子の容量は、誘電体の厚みが決まると、下部電極および上部電極の面積と誘電体の誘電率で決定される。面積確保の工夫については、シリコン下部電極表面に凹凸を設けて実効的面積を確保する方法が既に実用化されている。また、誘電率向上については、酸化タンタルなどの高誘電率材料を適用する方法が既に実用化されている。しかし、これらの容量確保策を用いてさえも、さらなる高集積化の要求においては、下部電極表面に凹凸を形成するための空間確保が困難になりつつある。また、下部電極をシリコンとし、誘電体を酸化タンタルとするMIS構造ではシリコンと酸化タンタルの界面に低誘電率の酸化シリコンが必然的に形成されてしまうという問題があるため、誘電率向上に限界がみえつつある。

【0004】

これらの課題に対処するため、下部電極材料に金属を用いるMIM（金属上部電極／誘電体／金属下部電極）構造の検討がなされている。MIM構造であれば、上記MIS構造の誘電率の向上が制限される問題を回避できるからである。

【0005】

しかし、MIM構造を用いると、リーク電流が増大するという新たな問題が発生する。窒化チタンやタンゲステンなど既に半導体集積回路装置の製造に用いられている金属は極めて酸化されやすい性質のものが多い。そのため、酸化されやすい金属をそのまま下部電極として用いた構造では、その上に酸化タンタルを形成して、酸化タンタル膜中の酸素欠損に酸素を導入するために酸化性雰囲気中で熱処理を行っても、酸化剤は金属下部電極に消費されてしまい、酸素欠損が残ったままキャパシタ素子が形成される。キャパシタ素子の誘電体絶縁膜中に酸素欠

損があると、電荷をキャパシタ素子に蓄積しようとしても、酸素欠損を介した電極間のリーク電流が増大するため、キャパシタ素子不良を起こすことになる。

【0006】

この問題を回避するためには、白金、ルテニウム、イリジウムなど酸化物を比較的生成し難い導電性材料を下部電極として用いることが有効である。また、実際の立体構造キャパシタ素子の製造に用いるためには、ステップカバレージ（段差被覆性）確保の観点からCVD（Chemical Vapour Deposition）法で形成可能であること、および加工が可能であることが必須要件となる。これらの要件を満たす材料としてルテニウムが最も有望な材料である。

【0007】

ここで、従来のDRAMの構成について説明する。

【0008】

図14は従来のDRAMの一構成例を示す断面構造図である。

【0009】

図14に示すDRAMは、メモリセルが形成されるメモリアレイ領域と、特定のメモリセルに情報の書き込みおよび読み出し等をするための回路が形成される周辺回路領域とを有する。図14に示すように、メモリアレイ領域には、半導体基板（p型シリコン基板101）の表面から所定の深さまでp型不純物拡散層（第1のpウェル層103）が形成され、この第1のpウェル層103の側面と底面を囲むようにしてn型不純物拡散層（nウェル層102）が形成されている。また、周辺回路領域には、p型シリコン基板101の表面から所定の深さまでp型不純物拡散層（第2のpウェル層104）が形成されている。nウェル層102と第2のpウェル層104は素子分離領域105で絶縁分離されている。

【0010】

次に、メモリセルのトランジスタの構成について説明する。

【0011】

図14では、第1のPウェル層103にトランジスタ106および107が形成されている。トランジスタ106は、第1のpウェル層103に形成されたドレイン電極108およびソース電極109aと、第1のpウェル103上にゲー



ト絶縁膜110を介して形成されたゲート電極111aとを有する構成である。

【0012】

トランジスタ107は、ドレイン電極112a、ゲート絶縁膜110上に形成されたゲート電極111b、およびトランジスタ106と共通のソース電極109aを有する構成である。

【0013】

ゲート電極111aおよび111bはワード線となり、トランジスタ106および107はキャパシタ素子を選択するためのスイッチングトランジスタとなる。トランジスタ106および107等のメモリセルのトランジスタは、第1の層間絶縁膜113で覆われている。なお、上記メモリセルのトランジスタは、ドレイン電極およびソース電極がn型不純物拡散層で形成されたn型MOS (Metal Oxide Semiconductor) である。トランジスタ106および107は同様な構成のため、以下では、メモリアレイ領域について、トランジスタ107に関連する部分について詳細に説明する。

【0014】

次に、トランジスタに接続されるビット線の構成について説明する。

【0015】

ビット線は、第1の層間絶縁膜113に形成されたコンタクト孔114内に充填された多結晶シリコン115と、多結晶シリコン115上のビット線コンタクトとを介してソース電極109aに接続されている。ビット線は窒化タンゲステン119およびタンゲステン120が順に積層されて形成されている。ビット線コンタクトは、チタンシリサイド116、窒化チタン117、およびタンゲステン118が積層された構成である。ビット線の側面および上面は第2の層間絶縁膜121に覆われている。

【0016】

次に、メモリセルのキャパシタ素子の構成について説明する。

【0017】

トランジスタ107に直列に接続されたキャパシタ素子は、下部電極124aと、上部電極126と、下部電極124aおよび上部電極126に挟まれた誘電

体絶縁膜 125とを有する構成である。下部電極 124aは円形状底部と筒状側壁を有する王冠構造であり、王冠構造の側壁と開口底部が誘電体絶縁膜 125で覆われている。上部電極 126はメモリアレイ領域全体を覆うように形成され、上部電極 126の上に第4の層間絶縁膜 127が形成されている。

【0018】

下部電極 124aは、第1の層間絶縁膜 113および第2の層間絶縁膜 121を貫通して設けられたシリコンプラグ 122を介してトランジスタ 107のドレイン電極 112aに接続されている。シリコンプラグ 122は、第1の層間絶縁膜 113および第2の層間絶縁膜 121の所定の部位に開口されたコンタクト孔にシリコンが充填されたものである。なお、下部電極 124b、誘電体絶縁膜 125および上部電極 126を有するキャパシタ素子は、トランジスタ 106に直列に接続されている。

【0019】

次に、周辺回路領域におけるトランジスタおよび配線の構成について説明する。

【0020】

トランジスタ 150は、第2のpウェル層 104に形成されたソース電極 109bおよびドレイン電極 112bと、ゲート絶縁膜 110上に形成されたゲート電極 111cとを有する構成である。

【0021】

ドレイン電極 112bは、第1の層間絶縁膜 113の所定の部位に設けられたコンタクト孔 128に埋め込まれた金属を介して第1の配線層と接続されている。コンタクト孔 128には、チタンシリサイド 116、窒化チタン 117およびタングステン 118が順に形成されて充填されている。第1の配線層は、窒化タングステン 119およびタングステン 120が順に形成された構成である。

【0022】

第1の配線層の一部は、第2の層間絶縁膜 121、第3の層間絶縁膜 123および第4の層間絶縁膜 127を貫通して形成されたコンタクト孔 129に充填された窒化チタン 130およびタングステン 131を介して第2の配線層に接続さ

れている。第2の配線層は、窒化チタン132、アルミニウム133および窒化チタン134が順に形成された構成である。

【0023】

一方、メモリアレイ領域に設けられた上部電極126の一部が引き出された引き出し配線135が周辺回路領域内に達している。引き出し配線135は、第4の層間絶縁膜127の所定の部位に設けられたコンタクト孔に充填された窒化チタン136およびタンクステン137を介して第2の配線層に接続されている。この第2の配線層は、窒化チタン138、アルミニウム139および窒化チタン140が順に形成された構成である。nウェル層102と第2のpウェル層104を絶縁分離する素子分離領域105上には、配線としての役目を果たすゲート電極配線111dが形成されている。

【0024】

なお、周辺回路領域に形成されたトランジスタ150はn型MOSであり、周辺回路領域のn型不純物拡散層のnウェル層（不図示）には、ドレイン電極およびソース電極がp型不純物拡散層で形成されたp型MOSトランジスタ（不図示）が形成されている。

【0025】

メモリアレイ領域および周辺回路領域には、図に示さないが、第2の配線層上に、層間絶縁膜、コンタクトおよび配線層が回路構成の必要に応じて形成されている。上述のようにして、DRAMが構成される（例えば、特許文献1参照）。

【0026】

次に、上記構成のDRAMにおいて、下部電極にルテニウムを用いた場合のキャパシタ素子の製造方法について説明する。

【0027】

図15乃至図17は従来のキャパシタ素子の製造工程を示す断面構造図である。なお、以下では、トランジスタの形成工程については、その詳細な説明を省略する。また、コンタクト等の開口と配線等のパターンは、特に示さない限り、公知のリソグラフィ工程およびエッティング工程により形成されている。

【0028】

図15（a）に示すように、シリコン基板201上のゲート絶縁膜上に導電性膜を形成した後、トランジスタのゲート電極となるワード線202を形成する。その後、ワード線202を覆うようにして第1の層間絶縁膜203を形成し、トランジスタのソース電極およびドレイン電極が形成される部位の第1の層間絶縁膜203にコンタクト孔を形成する。コンタクト孔にシリコンを充填して、第1のシリコンプラグ204を形成する。続いて、第2の層間絶縁膜205を形成した後、ソース電極に接続された第1のシリコンプラグ204上面が露出するよう第2の層間絶縁膜205に開口を設け、その開口に導電性膜を充填したビット線コンタクト206を形成する。その後、ビット線コンタクト206に接続されたビット線207を形成する。

【0029】

続いて、酸化シリコンからなる第3の層間絶縁膜208、および塗化シリコンからなる第4の層間絶縁膜209を順に形成する。ドレイン電極に接続された第1のシリコンプラグ204の上面が露出するよう、第2の層間絶縁膜205、第3の層間絶縁膜208、および第4の層間絶縁膜209に貫通する開口を形成し、その開口をシリコンで充填した第2のシリコンプラグ210を形成する。

【0030】

図15（b）に示すように、第2のシリコンプラグ210の上面が第4の層間絶縁膜209の膜厚のほぼ半分に位置するように、エッチングにより第2のシリコンプラグ210を削り、リセス211を形成する。

【0031】

続いて、リセス211が充分に埋まるように塗化チタンを全面に形成した後、リセス211部以外の第4の層間絶縁膜209上に形成された塗化チタンを除去し、リセス211にバリヤメタル212を形成する（図15（c））。バリヤメタル212は、第2のシリコンプラグ210のシリコンが後に形成されるルテニウムと反応することの防止を目的として設けられ、ステップカバレージが良好なCVD法で形成されることが望ましい。

【0032】

そして、塗化シリコンからなる第5の層間絶縁膜213、および膜厚1.5μ

m程度の酸化シリコンからなる第6の層間絶縁膜214を形成した後、バリヤメタル212の上面が露出するまで、第5の層間絶縁膜213および第6の層間絶縁膜214の所定の部位をエッチングにより除去し、円柱状の孔であるシリンダ215を形成する（図16（d））。

【0033】

続いて、図16（e）に示すように、スパッタリング法により膜厚5nm程度のルテニウムを全面に形成した後、CVD法により膜厚30nm程度のルテニウム216を形成する。スパッタリング法により形成されるルテニウムは、CVD法により形成されるルテニウムの種結晶としての役割を果たす。なお、以下では、スパッタリング法により形成されるルテニウムをスパッタルテニウムと称し、CVD法により形成されるルテニウムをCVDルテニウムと称する。

【0034】

CVDルテニウムは、原料にエチルシクロペンタジエニルルテニウム（Ru[C₂H₅C₅H₄]₂：以下では、Ru(EtCp)₂と略記する）にテトラヒドロフラン（THF）などの溶媒（THF以外の溶媒でもよい）で任意に希釈した状態で気化させたガスを、300℃程度の温度で酸素と反応させて形成される。CVDルテニウム形成後、全面にホトレジストを塗布し、露光および現像を行い、シリンダ215内にのみホトレジスト217を残す。

【0035】

その後、ホトレジスト217で覆われていない、露出したルテニウムを、酸素ガスプラズマを用いた異方性ドライエッチングにより除去する。そして、フェノールアルキルベンゼンズルフォン酸などの有機酸を主成分とする溶液を用いてホトレジスト217を除去することで、シリンダ内壁がルテニウム216で覆われた状態が形成される（図17（f））。

【0036】

続いて、図17（g）に示すように、ルテニウム側壁を支えている第6の層間絶縁膜214を除去して、王冠構造の下部電極を形成する。この第6の層間絶縁膜214の除去には、フッ酸を主成分とする溶液による湿式（ウェット）エッチングが用いられる。第6の層間絶縁膜214の下層の第5の層間絶縁膜213は

、フッ酸にエッチングされにくい塗化シリコンであるため、フッ酸によるエッチングが第5の層間絶縁膜213で停止する。

【0037】

【特許文献1】

特開2001-94071号公報

【0038】

【発明が解決しようとする課題】

上述した製造方法では、図17(g)の模式図に示すように、王冠構造の下部電極形成の際、第6の層間絶縁膜214をウェットエッチングで除去すると、下部電極の側壁の支えが失われ、ルテニウム216に折損218が生じる、またはルテニウム216が倒壊するという問題が発生する。この問題により、充分な電荷を蓄えることができないキャパシタ素子が形成されることになり、著しく歩留まりを低下させる。上記問題は、特に、ウェットエッチングの薬液中で振動が加えられた場合、顕著に発生する。また、ウェットエッチング以降の絶縁膜形成などの熱処理の際に受ける負荷により、上記問題が発生する場合もある。

【0039】

上記問題の原因を調べるために、ルテニウムの膜構造を観察したので、その結果について説明する。

【0040】

図18は透過電子顕微鏡によるルテニウム膜の断面観察結果を示す模式図である。図18(a)はルテニウムをCVD法で形成した直後の状態を示す図である。観察試料は、シリコン基板301表面に酸化シリコン302を形成した後、種結晶となるルテニウムをスパッタリング法により5nm形成し、その上にルテニウム303をCVD法により膜厚30nm形成したものである。

【0041】

ルテニウム303は、倍率20万倍程度の走査電子顕微鏡では平坦に見える膜であっても、透過電子顕微鏡で倍率を400万倍程度に拡大すると、図18(a)に示すように、柱状に選択的に成長しており、連続膜になっていないことが明らかである。また、個々の柱は垂直ではなく、ほとんど傾いて成長している。そ

のため、隣接する柱同士が上部で接触しているところが多く、個々の柱の周りには空隙が存在している。

【0042】

図18（a）に示した観察試料に熱処理を行った後の状態を図18（b）に示す。図18（b）に示すように、ルテニウム304には、熱処理によって流動する際に空隙が膜中に取り込まれ、ボイド305となって残存する。

【0043】

また、熱処理を行った後でも膜厚は均一にならず、膜厚の薄い部分が多数存在し、ルテニウムのない欠損306のように、極端な場所も発生していた。これらの膜中のボイド305や相対的に薄膜化している部分の存在は、膜の機械的強度を乏しくさせ、ルテニウム自身に折損や倒壊が発生する原因となる。

【0044】

本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、機械的強度の優れた王冠構造の下部電極を備えたキャパシタ素子を有する半導体集積回路装置およびその製造方法を提供することを目的とする。

【0045】

【課題を解決するための手段】

上記目的を達成するための本発明の半導体集積回路装置の製造方法は、キャパシタ素子を備えた半導体集積回路装置の製造方法であって、

第1の導電性材料による所定の形状の底部と該底部の縁に沿って形成された筒形状を有する王冠構造を半導体基板上の第1の絶縁膜上に形成し、

前記第1の導電性材料よりも酸化されにくい第2の導電性材料をシード層として少なくとも前記王冠構造の開口底部と側壁に形成し、

前記第1の絶縁膜上に形成された前記シード層を除去し、

前記王冠構造表面に形成された前記シード層上に前記第2の導電性材料を均一な膜厚で形成して、前記王冠構造と前記第2の導電性材料を有する、前記キャパシタ素子の蓄積電極を形成し、

前記蓄積電極の露出面に前記キャパシタ素子の誘電体である第2の絶縁膜を形成し、

前記第2の絶縁膜に酸素を導入するものである。

【0046】

本発明では、第1の導電性材料上に第2の導電性材料を均一な膜厚で覆うように形成しているため、第1の導電性材料と第2の絶縁膜が接触する部分がなく、第2の絶縁膜に酸素を導入する際、第1の導電性材料が酸化されることを防ぎ、第2の絶縁膜中の酸素欠損に酸素が充填され、キャパシタ素子のリーク電流の増大を抑制できる。また、王冠構造に形成されたシード層上に第2の導電性材料を形成しているので、第1の絶縁膜上に第2の導電性材料が形成されず、蓄積電極が第2の導電性材料を介して他の部分と接続されることはない。

【0047】

また、上記本発明の半導体集積回路装置の製造方法において、前記シード層の膜厚を前記第1の絶縁膜上に比べて前記王冠構造の頂上を厚くすることとしてもよい。

【0048】

本発明では、第2の導電性材料の膜厚が第1の絶縁膜上に比べて王冠構造の頂上が厚くなるため、第1の絶縁膜上に形成された第2の導電性材料を除去するまでシード層を削っても、王冠構造の頂上に形成されたシード層が残存する。

【0049】

また、上記本発明の半導体集積回路装置の製造方法において、前記シード層の形成にスパッタリング法を用いることとしてもよい。

【0050】

本発明では、シード層の形成にスパッタリング法を用いているので、シード層が第1の絶縁膜上に比べて王冠構造の頂上に厚く形成される。

【0051】

また、上記本発明の半導体集積回路装置の製造方法において、前記シード層の除去に異方性ドライエッチングを用いることとしてもよい。

【0052】

本発明では、異方性エッティングにより第1の絶縁膜上のシード層を除去すると、王冠構造の頂上に形成されたシード層がエッティング用マスクとなり、王冠構造

の側壁の内壁および外壁に形成されたシード層はエッチングされずに残存する。

【0053】

また、上記本発明の半導体集積回路装置の製造方法において、前記異方性ドライエッチングは、

前記王冠構造の開口底部に形成された前記シード層を削る速度が前記第1の絶縁膜上の前記シード層を削る速度よりも小さくなる条件であることとしてもよい。
。

【0054】

本発明では、異方性ドライエッチングは王冠構造の開口底部に形成されたシード層を削る速度が第1の絶縁膜上のシード層を削る速度よりも小さいため、第1の絶縁膜上のシード層を除去しても、開口底部にはシード層が残存する。

【0055】

また、上記本発明の半導体集積回路装置の製造方法において、前記シード層上への前記第2の導電性材料の形成にCVD法を用いることとしてもよい。

【0056】

本発明では、CVD法で第2の導電性材料を形成するので、王冠構造への第2の導電性材料の被覆性がよく、第1の導電性材料が第2の絶縁膜に接触することを防げる。

【0057】

また、上記本発明の半導体集積回路装置の製造方法において、前記第1の導電性材料の機械的強度が前記第2の導電性材料よりも大きいこととしてもよい。

【0058】

本発明では、第2の導電性材料よりも機械的強度の大きい第1の導電性材料で王冠構造を形成しているので、第2の導電性材料だけで形成された蓄積電極よりも、製造工程中における振動や熱などによる負荷に対して蓄積電極が構造的に強くなる。

【0059】

また、上記本発明の半導体集積回路装置の製造方法において、前記第2の導電性材料がルテニウムであることとしてもよい。

【0060】

本発明では、酸化されにくい導電性材料であるルテニウムが第1の導電性材料を覆っているため、第2の絶縁膜に酸素を導入する際、第1の導電性材料が酸化されることを防ぎ、第2の絶縁膜の酸素欠損に酸素を充分に供給できる。

【0061】

また、上記本発明の半導体集積回路装置の製造方法において、前記第1の導電性材料が金属を含有することとしてもよい。

【0062】

本発明では、第1の導電性材料が金属を含有しているため、王冠構造の機械的強度がより大きくなる。

【0063】

また、上記本発明の半導体集積回路装置の製造方法において、前記第1の導電性材料が窒化チタンであることとしてもよい。

【0064】

本発明では、王冠構造が窒化チタンで形成されているため、製造工程中における振動や熱などによる負荷に対する機械的強度が充分な蓄積電極が形成される。

【0065】

さらに、上記本発明の半導体集積回路装置の製造方法において、前記第2の絶縁膜が酸化タンタルであることとしてもよい。

【0066】

本発明では、酸化タンタルに酸素を導入する際、第1の導電性材料が酸化されないため、酸化タンタル中の酸素欠損に酸素が充填され、キャパシタ素子のリーグ電流の増大を抑制できる。

【0067】

一方、上記目的を達成するための本発明の半導体集積回路装置は、キャパシタ素子を備えた半導体集積回路装置であって、

前記キャパシタ素子は、

窒化チタンによる所定の形状の底部と該底部の縁に沿って形成された筒形状を有する王冠構造の開口底部と側壁が前記窒化チタンよりも機械的強度が小さい導

電性材料で覆われた蓄積電極を半導体基板上の絶縁膜上有する構成である。

【0068】

本発明では、窒化チタンで王冠構造が形成されているため、窒化チタンよりも機械的強度の小さい導電性材料で形成される王冠構造よりも、製造工程中における振動や熱などによる負荷に対して蓄積電極が構造的に強くなる。

【0069】

また、上記本発明の半導体集積回路装置において、前記導電性材料は前記窒化チタンよりも酸化されにくい材質であることとしてもよい。

【0070】

本発明では、窒化チタンよりも酸化されにくい導電性材料が窒化チタンを覆っているため、蓄積電極上に形成される誘電体絶縁膜に酸素を導入する際、窒化チタンの酸化を防ぎ、誘電体絶縁膜中の酸素欠損に酸素を充分に供給し、キャパシタのリーク電流の増大を抑制できる。

【0071】

さらに、上記本発明の半導体集積回路装置において、前記導電性材料はルテニウムであることとしてもよい。

【0072】

本発明では、酸化されにくい導電性材料であるルテニウムは、CVD法で形成でき、窒化チタン表面に対する被覆性がよく、蓄積電極上に形成される誘電体絶縁膜に酸素を導入する際、窒化チタンの酸化をより防止する。

【0073】

【発明の実施の形態】

本発明の半導体集積回路装置は、キャパシタ素子の下部電極の母材として機械的強度に優れた導電性材料で王冠構造を作製し、その王冠構造の表面にのみルテニウムを形成したものである。母材には、立体構造に適用可能で、機械的強度に優れたものとして、従来から用いられている導電性材料のうち窒化チタンを選択できる。以下に、母材に窒化チタンを用いたキャパシタ素子用下部電極の構成について説明する。

【0074】

図1は本発明のキャパシタ素子用下部電極の一構成例を示す断面構造図である。

【0075】

図1に示すように、下部電極は、王冠構造の窒化チタン501がCVDルテニウム502で覆われた構成である。図1では、窒化チタン501は、酸化シリコン506を貫通する第2のシリコンプラグ509、および酸化シリコン505を貫通する第1のシリコンプラグ508を介して図に示さないトランジスタのドレンイン電極に接続されている。

【0076】

上述のような構成であれば、窒化チタン501はルテニウムより機械的強度が優れているため、窒化チタン501の王冠構造形成後に、王冠構造の側壁を支える酸化シリコンを除去するためのウェットエッチングを行っても、王冠構造の折損や倒壊を防げる。

【0077】

また、第2のシリコンプラグ509がCVDルテニウム502と直接接触することがないため、窒化チタン501はシリコンとルテニウムとの反応を防ぐためのバリヤメタルの役目を果たす。

【0078】

一方、上記構成の下部電極を以下に説明する方法で形成したところ、キャパシタ素子のリーク電流が増大するという新たな問題が発生した。この原因を調べたところ、窒化チタンと酸化タンタルの接触によるものであることがわかった。

【0079】

上記問題が発生する場合の下部電極の形成方法について説明する。

【0080】

図2は、上記構成の下部電極の形成方法の一例を示す断面構造図である。なお、図1に示したものと同一の構成要素については同一の符号を付し、その詳細な説明を省略する。

【0081】

図2(a)に示すように、上述の従来技術によるルテニウムの王冠構造の形成

方法と同様にして、酸化シリコン506上の窒化シリコン507に設けられた開口に窒化チタン501の王冠構造を形成する。

【0082】

続いて、ルテニウム形成のためのシード層として、膜厚5nmのスパッタルテニウムを形成し、その上に膜厚20nmのCVDルテニウム502を形成する（図2（b））。

【0083】

図2（b）に示すように、窒化チタン501表面だけでなく、窒化シリコン507の上面にもCVDルテニウム502が形成されている。実際の半導体集積回路装置では、図14に示したように、メモリアレイ領域には複数の王冠構造の下部電極が形成される。下部電極同士を絶縁分離するために、異方性ドライエッチングを行って、隣接する王冠構造の間（図2（b）のAで示す部位）のCVDルテニウム502を除去して、下部電極毎に分離する（図2（c））。

【0084】

図2（b）に示した状態では、Aで示す部位と王冠構造の頂上（図2（c）のBで示す部位）におけるルテニウムの膜厚はほぼ等しいため、上記異方性エッチングによりAの部位のルテニウムを除去しようとすると、図2（c）に示すように、Bで示す部位のルテニウムもエッチングされて消失する。

【0085】

その後、誘電体絶縁膜として酸化タンタルを形成すると、王冠構造の頂上で窒化チタンと酸化タンタルが接触することになる。そのままキャパシタ素子を形成すると、従来の技術で述べたように、窒化チタンと酸化タンタルの接触部分でリーケ電流が増大する。

【0086】

上記問題を解決するための本発明の半導体集積回路装置の製造方法は、機械的強度に優れた導電性材料で形成された王冠構造の表面にのみシード層となるルテニウムを形成した後、シード層上にルテニウムを成長させるものである。

【0087】

本発明の半導体集積回路装置の製造方法について説明する。なお、以下では、



半導体集積回路装置がD R A Mの場合で、D R A M用キャパシタ素子の下部電極の形成に関して説明し、誘電体絶縁膜および上部電極の形成についての詳細な説明を省略する。

【0088】

図3は本発明の下部電極製造工程を示す断面構造図である。

【0089】

図3（a）に示すように、従来技術と同様にして、酸化シリコン606上の塗化シリコン607に設けられた開口に、下部電極の母材となる塗化チタン601の王冠構造を形成する。図3（a）では、塗化チタン601は、酸化シリコン606を貫通する第2のシリコンプラグ609、および酸化シリコン605を貫通する第1のシリコンプラグ608を介して、図に示さないトランジスタのドレイン電極に接続されている。ここで、塗化チタン601の膜構造について説明する。

【0090】

図4は透過電子顕微鏡により塗化チタンの断面を観察した結果を示す模式図である。

【0091】

図4では、シリコン基板401表面に酸化シリコン402が形成され、その上にCVD法により膜厚20nmの塗化チタン403が形成された構造が示されている。CVD法により形成された塗化チタン403は連続膜になっており、ボイド等の欠陥は観察されなかった。そのため、塗化チタンで形成された王冠構造では、メモリアレイ領域の酸化シリコンを除去する際、王冠構造の折損や倒壊等の不具合発生を回避できる。

【0092】

塗化チタン601による王冠構造を形成した後、CVDルテニウムのシード層としてスパッタルテニウム602を形成する。図3（a）に示すように、CVDルテニウム形成前では、ルテニウムの膜厚は、王冠構造の頂上（図にBで示す部位）で厚く形成され、隣接する王冠構造の間（図にAで示す部位）で薄く形成されている。以下に、その理由について、複数の王冠構造が形成されたメモリアレ

イ領域を有するサンプルの構造図を用いて説明する。

【0093】

図5はサンプルの構造を示す鳥瞰図である。

【0094】

図5に示すように、このサンプルは、複数の王冠構造が形成されたメモリアレイ領域と、周辺回路領域と、メモリアレイ領域および周辺回路領域の間にそれらの領域を分離するためのダミー溝とを有する構成である。メモリアレイ領域には、図に示さないシリコン基板まで貫通した開口が酸化シリコン701の所定の部位に形成され、その開口にシリコンプラグ702とチタンシリサイド705が順に形成されている。上記王冠構造がチタンシリサイド705に接続されている。周辺回路領域には、窒化シリコン703および酸化シリコン704が順に形成されている。ダミー溝は、メモリアレイ領域の酸化シリコン704を除去する際に、周辺回路領域の酸化シリコン704が除去されることを防ぐためのものである。

【0095】

上述した構造のサンプルに、例えば、256メガビット級の集積度を有するDRAMのパターンを当てはめると、窒化シリコン703上面からの王冠構造の高さは $1.5\mu m$ であり、王冠構造の開口直径が $0.23\mu m$ となる。このような王冠構造が複数形成されたサンプルに、従来の標準的条件でスパッタルテニウムを形成した。

【0096】

サンプルに形成されたスパッタルテニウムを透過電子顕微鏡により詳細に観察した結果、スパッタルテニウムの膜厚は、王冠構造の頂上では $25nm$ であるのに対し、王冠構造の開口底部と、隣接する王冠構造の間である王冠周囲領域707上では頂上の10%にも満たない $2nm$ であった。スパッタリング法で形成される膜はステップカバレージが悪いことが従来から知られており、上述の結果より、ルテニウムの場合もステップカバレージが充分に悪いことを確認した。

【0097】

続いて、図3（b）に示すように、異方性ドライエッチングにより、Aに示す

部位に形成されたスペッタルテニウム602を除去する。このエッチングの際、Bに示す部位に形成されたスペッタルテニウム602は、Aに示す部位に形成されたスペッタルテニウム602に比べて膜厚が厚いため、残存することになる。また、Bに示す部位に形成されたスペッタルテニウム602がエッチング用マスクとなって、王冠構造の側壁の内壁および外壁に形成されたスペッタルテニウム602が残存する。

【0098】

さらに、この異方性ドライエッチングに、王冠構造の開口面積が小さくなるほど、王冠構造の開口底部のルテニウムが除去されなくなる条件を用いているため、王冠構造の開口底部に形成されたルテニウムも除去されることなく、残存させることができる。以下に、上記異方性エッチングの条件について詳細に説明する。

【0099】

上記異方性エッチングでは、下部電極同士を絶縁分離するために、図5に示した王冠周囲領域707上のルテニウムを除去しなければならない。一方、王冠構造の開口底部に形成されたルテニウムを除去してしまうと、窒化チタンが後に形成される誘電体絶縁膜と接触し、従来技術の課題で述べたように、リーク電流の増大という問題が発生する。そのため、王冠周囲領域707のルテニウムを除去しても、王冠構造の開口底部に形成されたルテニウムを残存させる必要がある。

【0100】

王冠構造の開口底部に形成されたルテニウムに対する上記異方性エッチングのエッチング速度を調べるために、王冠構造の内部形状に対応したシリンダ状の深孔を形成したサンプルを作製して実験を行った。深孔の高さが王冠構造に等しい1.5μmで、深孔の開口面積の異なるサンプルを複数用意し、エッチング後に走査電子顕微鏡で開口底部の残膜の膜厚を調べ、サンプル毎にエッチング速度を求めた。エッチング条件は、ガスに酸素を用い、圧力1.0Pa、高周波パワー800Wとした。

【0101】

図6はエッチング速度の深孔開口面積依存性を示すグラフである。

【0102】

図6に示すように、例えば、開口面積 $0.31 \mu\text{m}^2$ （直径 $0.63 \mu\text{m}$ ）では、約 $0.08 \mu\text{m}/\text{min}$ の速度でルテニウムがエッティングされるが、開口面積を小さくしていき、 $0.07 \mu\text{m}^2$ （直径 $0.3 \mu\text{m}$ ）まで小さくすると速度は極めて遅くなり、実質的にエッティングされなくなる。このように、エッティング速度が開口面積依存性を有することがわかる。これは、開口面積が小さくなることにより、エッティングに寄与する酸素イオンが開口底部まで供給されなくなるためと考えられる。なお、エッティングの圧力および高周波パワー、ならびにエッティング処理室の幾何形状などの条件を変えることにより、酸素イオンのエネルギーを変化させ、上記エッティング速度の開口面積依存性が変化し得る。

【0103】

エッティング条件を一定にした場合、基本的には、深孔の高さと開口面積で律速され、深孔が高く開口面積が小さいほど、エッティング速度は小さくなり、開口底部の膜はエッティングされにくくなる。図6から深孔の高さ $1.5 \mu\text{m}$ のとき、開口の直径が $0.3 \mu\text{m}$ より小さいと開口底部がエッティングされない。そのため、上述のエッティング条件では、（開口の高さ／開口の直径）の比が $1.5/0.3 = 5$ より大きい場合に、開口底部がエッティングされないようにエッティング速度を容易に制御でき、このようなエッティング条件を王冠構造にも適用できる。

【0104】

また、（開口の高さ／開口の直径）の比が5より小さくても、所定の範囲内であれば、上記エッティング条件を変えることで、王冠構造頂上と王冠構造の開口底部とのエッティング速度比となる選択性を十分に得ることができる。

【0105】

上記実験結果から、256メガビット級DRAMに適用し得る典型的な王冠構造のサイズとして、高さ $1.5 \mu\text{m}$ 、開口面積 $0.04 \mu\text{m}^2$ （直径 $0.23 \mu\text{m}$ の場合）においては、王冠構造の開口底部がエッティングされないことを確認できる。

【0106】

また、図3（b）のAに示す部位は開口面積が図6に示すグラフの 0.07μ

m²より大きい部分に相当するため、ルテニウムのエッチングが停止することがない。したがって、Aに示す部位のような、王冠周囲領域に形成されたルテニウムを除去し、王冠構造の開口底部に形成されたルテニウムを残存させることができ。また、王冠周囲領域のルテニウムを除去する間に王冠構造頂上のルテニウムも削られるが、王冠構造頂上での膜厚は王冠周囲領域に比べて充分に厚いため、王冠構造頂上のルテニウムが消失するということはない。

【0107】

そして、上述したように、図3（b）に示した段階では、シード層となるルテニウムは窒化チタン601の側壁および開口底部にしか形成されておらず、王冠周囲領域などの他の部位は窒化シリコン607等の絶縁膜であることを利用して、窒化チタン601上にのみCVDルテニウム603を選択的に形成する（図3（c））。以下に、CVDルテニウムを選択的に形成する方法について説明する。

【0108】

図7はCVDルテニウム成長の下地材料依存性を示すグラフである。図7には、下地材料が、スパッタルテニウム（A）、酸化シリコン（B）、窒化シリコン（C）、およびシリコン基板（D）の場合を示している。

【0109】

図7に示すように、下地材料がスパッタルテニウムである場合、CVDルテニウムの膜成長が、ソースガスを供給してからほとんど遅れなく始まっている。これに対して、下地材料が酸化シリコンの場合ではソースガスを供給してから約10分、下地材料がシリコンの場合ではソースガスを供給してから約20分経過しないと、CVDルテニウムの膜成長が始まらない。

【0110】

図3（b）では、窒化チタン601の王冠構造の側壁および開口底部にスパッタルテニウム602を残存させており、他の部分は窒化シリコン607等の絶縁膜であるため、CVDルテニウム形成の際、図7から、絶縁膜の表面にCVDルテニウムを形成しないように、ガス供給の時間を制御することで、窒化チタンの王冠構造の露出面にのみ選択的にCVDルテニウム603を均一な膜厚で形成で

きる。

【0111】

なお、図17で示したように、スパッタルテニウム形成後、上記異方性エッチング前にCVDルテニウムを形成すると、王冠構造の頂上（図にBで示す部位）と王冠周囲領域（図にAで示す部位）でルテニウムの膜厚がほぼ等しくなってしまう。そのため、CVDルテニウム形成後に、王冠周囲領域のルテニウムをエッチングしようとすると、王冠構造の頂上のルテニウムが除去され、従来技術で説明した問題が発生する。

【0112】

次に、上述の下部電極の製造方法を適用した、DRAMのキャパシタ素子製造方法について、詳細に説明する。

【0113】

図8乃至図13はキャパシタ素子の製造工程の具体例を示す断面構造図である。なお、従来技術と同様の工程については、その詳細な説明を省略する。

【0114】

図8（a）に示すように、従来技術と同様にして、図に示さないシリコン基板上にワード線およびビット線を形成した後、層間絶縁膜となる酸化シリコン1001を形成する。続いて、酸化シリコン1001の所定の部位にシリコン基板まで貫通する開口に、シリコンプラグ1002を充填した後、キャパシタ素子用の深孔を形成するために、膜厚50nmの塗化シリコン1003と膜厚1500nmの酸化シリコン1004を形成する。

【0115】

その後、図8（b）に示すように、シリンドラを形成するためのエッチング用マスクとして、シリンドラ形成部に開口パターンが設けられたホトレジスト1005を形成する。

【0116】

続いて、従来技術と同様に、異方性ドライエッチングを用いて、シリコンプラグ1002の上面が露出するまで、ホトレジスト1005の開口パターンの酸化シリコン1004および塗化シリコン1003を除去する。この異方性エッチン

グの際、図5の鳥瞰図で示したダミー溝1006を形成する（図8（c））。

【0117】

図9（d）に示すように、ホトレジスト1005を除去した後、所定の洗浄処理を行い、続いて、シリコンプラグ1002を表面から所定の深さまで削り、残存するシリコンプラグ1002上にチタンシリサイド1007を形成する。このチタンシリサイド1007は、チタン形成後に熱処理を行うか、チタンを形成しながら熱処理を行うことで形成可能である。

【0118】

続いて、四塩化チタン（TiCl₄）とアンモニア（NH₃）を原料ガスとして、CVD法により膜厚20nmの窒化チタン1008を形成する（図9（e））。なお、この窒化チタン1008の形成は、上記チタンシリサイド1007の形成と同一処理装置で連続的に行ってもよい。

【0119】

図9（f）に示すように、ホトレジストを塗布し、公知のリソグラフィ技術を用いて、ホトレジストの表面層が感光する条件で露光した後、現像することで、シリンダの内部にホトレジスト1009を残した状態にする。

【0120】

続いて、酸化シリコン1004上に形成された窒化チタン1008を異方性ドライエッチングで除去した後、ダミー溝およびシリンダ内部を充填していたホトレジスト1009を除去する（図10（g））。

【0121】

図10（h）に示すように、周辺回路領域を覆うホトレジスト1010を形成する。この際、ホトレジスト1010がダミー溝1006の周辺回路領域側の一部をも覆うように形成する。

【0122】

その後、フッ酸（HF）を含有するエッチング液を用いて、メモリアレイ領域の酸化シリコン1004を除去し、窒化チタン1008による王冠構造1011を形成する（図10（i））。

【0123】

そして、図 11 (j) に示すように、ホトレジスト 1010 を除去した後、スパッタリング法により膜厚 25 nm 程度のスパッタルテニウム 1012 を全面に形成する（図 11 (k)）。このスパッタルテニウム 1012 形成の際、王冠構造 1011 の開口底部には膜厚 2 nm 程度の極めて薄いルテニウムが形成される。続いて、図 11 (l) に示すように、メモリアレイ領域を覆うホトレジスト 1013 を形成する。

【0124】

周辺回路領域に露出しているスパッタルテニウム 1012 を酸素プラズマ処理を行って除去した後、フェノールを含有する有機剥離液を用いてホトレジスト 1013 を除去する（図 12 (m)）。

【0125】

続いて、図 6 で説明した、王冠構造 1011 の開口底部にスパッタルテニウム 1012 を残すような条件で、異方性ドライエッチングを行い、王冠周囲領域 1014 のルテニウムを除去し、王冠構造 1011 の頂上を含む表面にルテニウムを残存させる（図 12 (n)）。

【0126】

そして、上記有機剥離液により洗浄処理を行った後、図 7 に示した下地材料依存性を利用して、スパッタルテニウム 1012 上にルテニウムが膜成長するよう選択的に CVD ルテニウム 1015 を膜厚 20 nm 形成する（図 12 (o)）。この CVD ルテニウム 1015 の膜成長では、原料ガスに Ru (EtCp)₂ を用い、酸化剤に酸素を用いて、温度 300 °C、圧力 400 Pa の条件とした。

【0127】

スパッタルテニウム 1012 上に選択的にルテニウムを成長させたため、図 12 (o) に示すように、表面がスパッタルテニウム 1012 で覆われた窒化チタン 1008 の王冠構造 1011 にのみ CVD ルテニウム 1015 を成膜でき、その結果、表面がルテニウムで被覆された王冠構造下部電極を形成できる。

【0128】

なお、CVD ルテニウム 1015 は、上述したように、成膜直後では柱状に形成され、また、酸素を不純物として含有している。そのため、膜の平坦化と不純

物除去のため、600℃程度の還元性雰囲気での熱処理を行うことが望ましい。ルテニウム膜の連続性を高めるために、成膜と熱処理の組み合わせを複数回行う多段階成膜による方法（以下、多段階成膜法と称する）を用いてもよい。多段階成膜法とは、例えば、膜厚20nm成膜する場合、第1段階で10nm成膜して熱処理を行って平坦化した後、さらに第2段階として10nm成膜して熱処理を行うものである。

【0129】

図12（o）に示した工程の後、誘電体絶縁膜として膜厚12nmの酸化タンタル1016をCVD法により形成する（図13（p））。この酸化タンタル1016の形成は、原料ガスにTa(OC₂H₅)₅を、酸化剤に酸素を用い、温度420℃、圧力60Paの条件であった。

【0130】

その後、酸化タンタル1016中に含まれる炭素系の不純物を除去するとともに、除去された不純物の位置に酸素を導入するために、酸化性雰囲気での熱処理を行う。この酸化性雰囲気には、O₂およびN₂Oなどの酸素を含むガスによる酸素分子や酸素原子だけでなく、これらのガスのプラズマ状態やオゾンガスから得られる活性酸素を用いることができる。酸化タンタル1016は、成膜しただけで膜の連続性を有するが、炭素系の不純物を含有しており、酸化タンタルに不純物が含まれたままキャパシタ素子を形成すると、不純物によりリーク電流が増大することになる。

【0131】

なお、酸化タンタルの形成に上記多段階成膜法を用いれば、一度に所望の厚さの膜を形成して酸化処理を行うよりも、膜の信頼性向上に対して効果的である。例えば、膜厚12nmの酸化タンタル膜を多段階成膜法で形成する場合には、第1段階で6nm形成してN₂O雰囲気で熱処理を行い、さらに第2段階として6nm形成してN₂O雰囲気で熱処理を行う。また、熱処理の方法としては、種々の組み合わせを選択できる。例えば、400℃のプラズマ酸化と600℃の非酸化性雰囲気での熱処理の組み合わせを一つの熱処理工程として構成してもよく、さらに、この熱処理工程を多段階成膜法に用いることができる。

【0132】

図13（p）に示した工程の後、上部電極のためのルテニウムを形成し、400°C程度の熱処理を行ってルテニウムを平坦化する。その後、公知のリソグラフィ工程およびエッチング工程を用いて、メモリアレイ領域を覆うようにルテニウムをパターニングして、上部電極1017を形成する。上部電極1017のためのルテニウムは、下部電極と同様に、シード層用のスパッタルテニウムを形成した後、CVDルテニウムを形成したものである。なお、上部電極1017は、ルテニウムの上にタンクステンなどの導電性を有する異種材料が積層された構成であってもよい。

【0133】

その後、層間絶縁膜および配線の形成を必要に応じて繰り返して、DRAMを製造する。

【0134】

本発明では、キャパシタ用下部電極が絶縁膜上に形成された窒化チタンの王冠構造にルテニウムが覆われた構成であり、ルテニウムよりも膜が緻密で機械的強度に優れた窒化チタンを下部電極の母材に用いることで、CVD法により形成されるルテニウムのモホロジーの悪さ、膜中ボイドの存在による機械的強度の低下に起因する電極破損、倒壊の問題を回避して歩留まりを向上させることができる。

【0135】

また、バリヤメタルを兼ねた窒化チタンで筒状の王冠構造を形成し、シード層となるスパッタルテニウムをその膜厚が王冠構造周囲の絶縁膜上に比べて王冠構造の頂上が厚くなるように形成した後、王冠構造の開口底部に形成されたルテニウムを削らない条件で異方性エッチングをして、王冠構造周囲の絶縁膜上のルテニウムを除去することで、窒化チタンの表面を覆うルテニウムが残存する。その後にシード層上にのみルテニウムを成長させることにより、窒化チタンを均一な膜厚のルテニウムで被覆した、キャパシタ素子用下部電極を形成できる。そのため、下部電極を覆うように形成される誘電体絶縁膜が窒化チタンと接触することを回避し、キャパシタ素子のリーク電流が増大することを防げる。

【0136】

なお、本発明は、実施例としてDRAMの場合で説明したが、DRAMに限らず、キャパシタ素子を備えた半導体集積回路装置に適用可能である。

【0137】

また、下部電極の母材として、窒化チタンの金属化合物を用いたが、金属を含有する材料であればよい。金属を含有する材料は、機械的強度が大きくなるだけでなく、導電性が向上する。

【0138】

さらに、窒化チタンの王冠構造を、円形状底部とこの底部の縁に沿って形成された筒形状を有する構成としたが、底部形状は円形に限らず、楕円など他の形状であってもよい。

【0139】**【発明の効果】**

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0140】

本発明では、キャパシタ用下部電極が絶縁膜上に形成された窒化チタンの王冠構造にルテニウムが覆われた構成であり、ルテニウムよりも膜が緻密で機械的強度に優れた窒化チタンを下部電極の母材に用いることで、CVD法により形成されるルテニウムのモホロジーの悪さ、膜中ボイドの存在による機械的強度の低下に起因する電極破損、倒壊の問題を回避して歩留まりを向上させることができる。

【0141】

また、下部電極の母材となる窒化チタンの表面に均一な膜厚でルテニウムが形成されるため、窒化チタンとキャパシタ素子の誘電体絶縁膜が接触することを回避し、キャパシタ素子のリーク電流が増大することを防げる。

【図面の簡単な説明】**【図1】**

本発明のキャパシタ素子用下部電極の一構成例を示す断面構造図である。

【図 2】

図 1 に示した下部電極の形成方法の一例を示す断面構造図である。

【図 3】

本発明の下部電極製造工程を示す断面構造図である。

【図 4】

透過電子顕微鏡により窒化チタンの断面を観察した結果を示す模式図である。

【図 5】

サンプルの構造を示す鳥瞰図である。

【図 6】

エッティング速度の深孔開口面積依存性を示すグラフである。

【図 7】

CVDルテニウム成長の下地材料依存性を示すグラフである。

【図 8】

キャパシタ素子の製造工程の具体例を示す断面構造図である。

【図 9】

キャパシタ素子の製造工程の具体例を示す断面構造図である。

【図 10】

キャパシタ素子の製造工程の具体例を示す断面構造図である。

【図 11】

キャパシタ素子の製造工程の具体例を示す断面構造図である。

【図 12】

キャパシタ素子の製造工程の具体例を示す断面構造図である。

【図 13】

キャパシタ素子の製造工程の具体例を示す断面構造図である。

【図 14】

従来のDRAMの一構成例を示す断面構造図である。

【図 15】

従来のキャパシタ素子の製造工程を示す断面構造図である。

【図 16】

従来のキャパシタ素子の製造工程を示す断面構造図である。

【図17】

従来のキャパシタ素子の製造工程を示す断面構造図である。

【図18】

透過電子顕微鏡によるルテニウム膜の断面観察結果を示す模式図である。

【符号の説明】

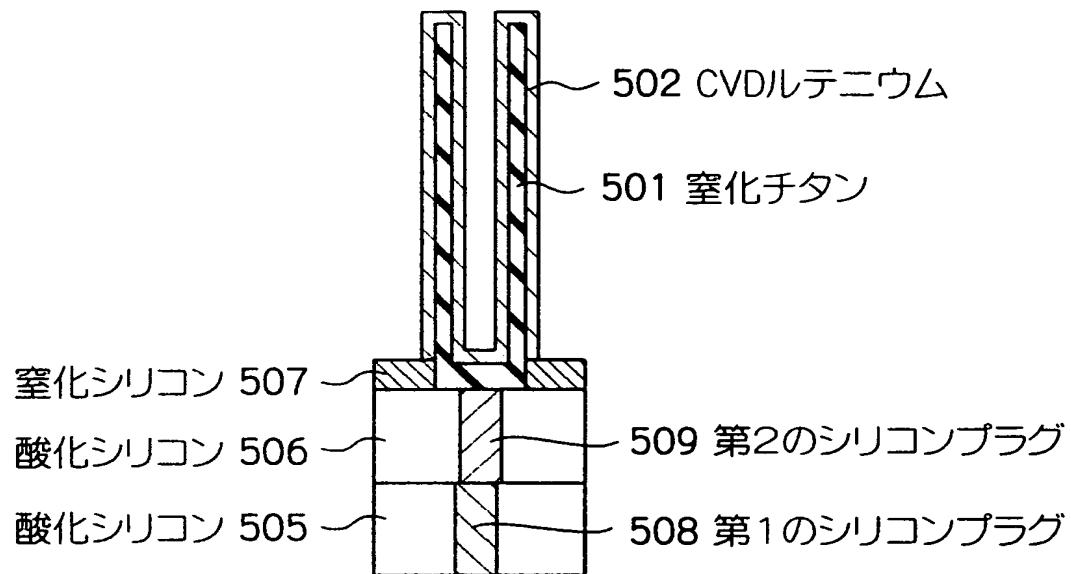
- 101 p型シリコン基板
- 102 nウェル層
- 103 第1のpウェル層
- 104 第2のpウェル層
- 105 素子分離領域
- 106、107、150 パンジスタ
- 108、112a、112b ドレイン電極
- 109a、109b ソース電極
- 110 ゲート絶縁膜
- 111a、111b、111c ゲート電極
- 111d ゲート電極配線
- 113、203 第1の層間絶縁膜
- 114、128、129 コンタクト孔
- 115 多結晶シリコン
- 116、705、1007 チタンシリサイド
- 117、130、132、134、136、138、140、403、501、601、1008 壱化チタン
- 118、120、131、137 タングステン
- 119 壱化タングステン
- 121、205 第2の層間絶縁膜
- 122、702、1002 シリコンプラグ
- 123、208 第3の層間絶縁膜
- 124a、124b 下部電極

125 誘電体絶縁膜
126、1017 上部電極
127、209 第4の層間絶縁膜
133、139 アルミニウム
135 引き出し配線
201、301、401 シリコン基板
202 ワード線
204、508、608 第1のシリコンプラグ
206 ビット線コントラクト
207 ビット線
210、509、608 第2のシリコンプラグ
211 リセス
212 バリヤメタル
213 第5の層間絶縁膜
214 第6の層間絶縁膜
215 シリンダ
216、303、304 ルテニウム
217、1005、1009、1010、1013 ホトレジスト
218 折損
302、402、505、506、605、606、701、704、100
1、1004 酸化シリコン
305 ボイド
306 欠損
502、603、1015 CVDルテニウム
507、607、703、1003 窒化シリコン
602、1012 スパッタルテニウム
706、1011 王冠構造
707、1014 王冠周囲領域
1006 ダミー溝

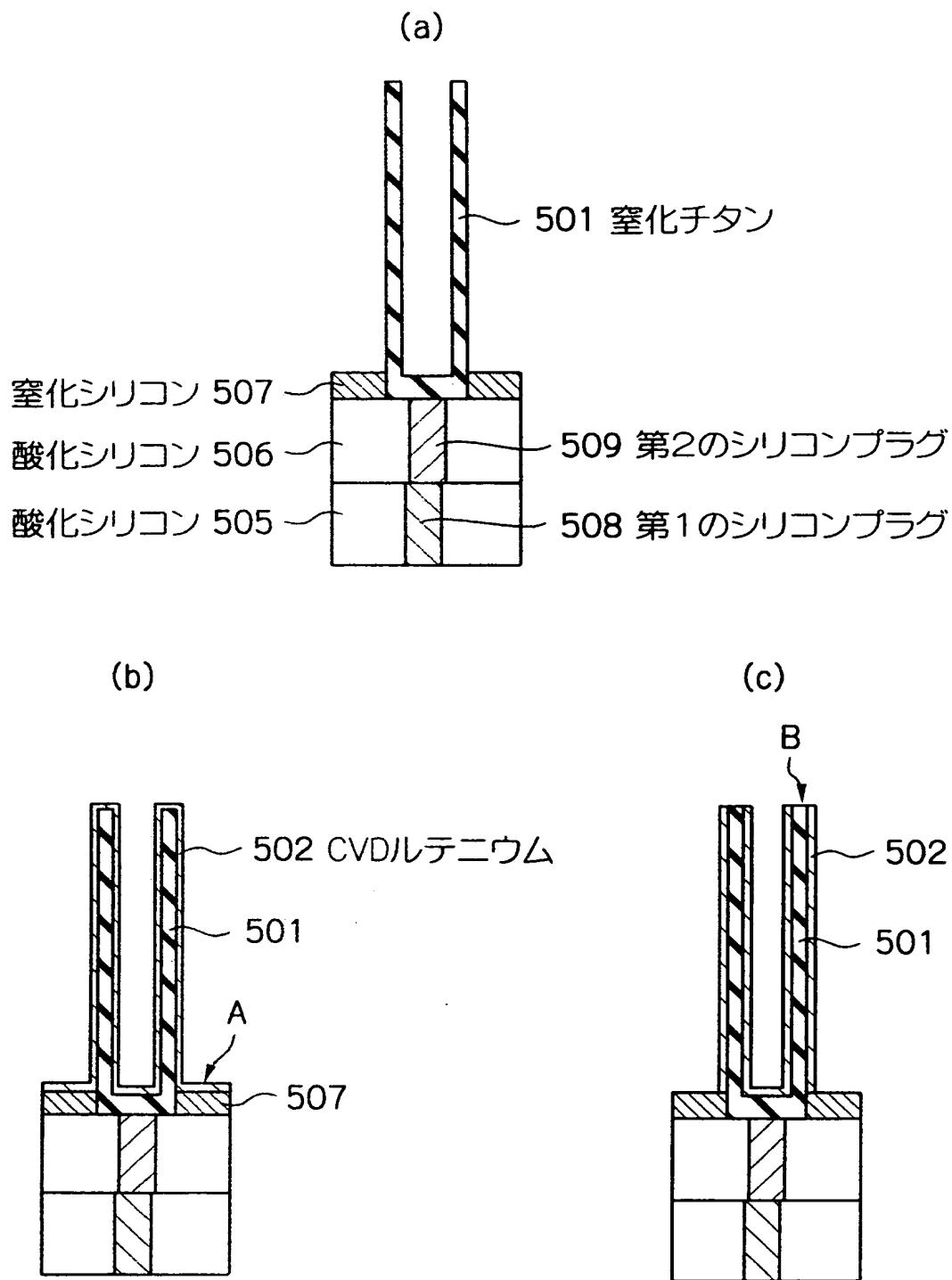
1016 酸化タンタル

【書類名】 図面

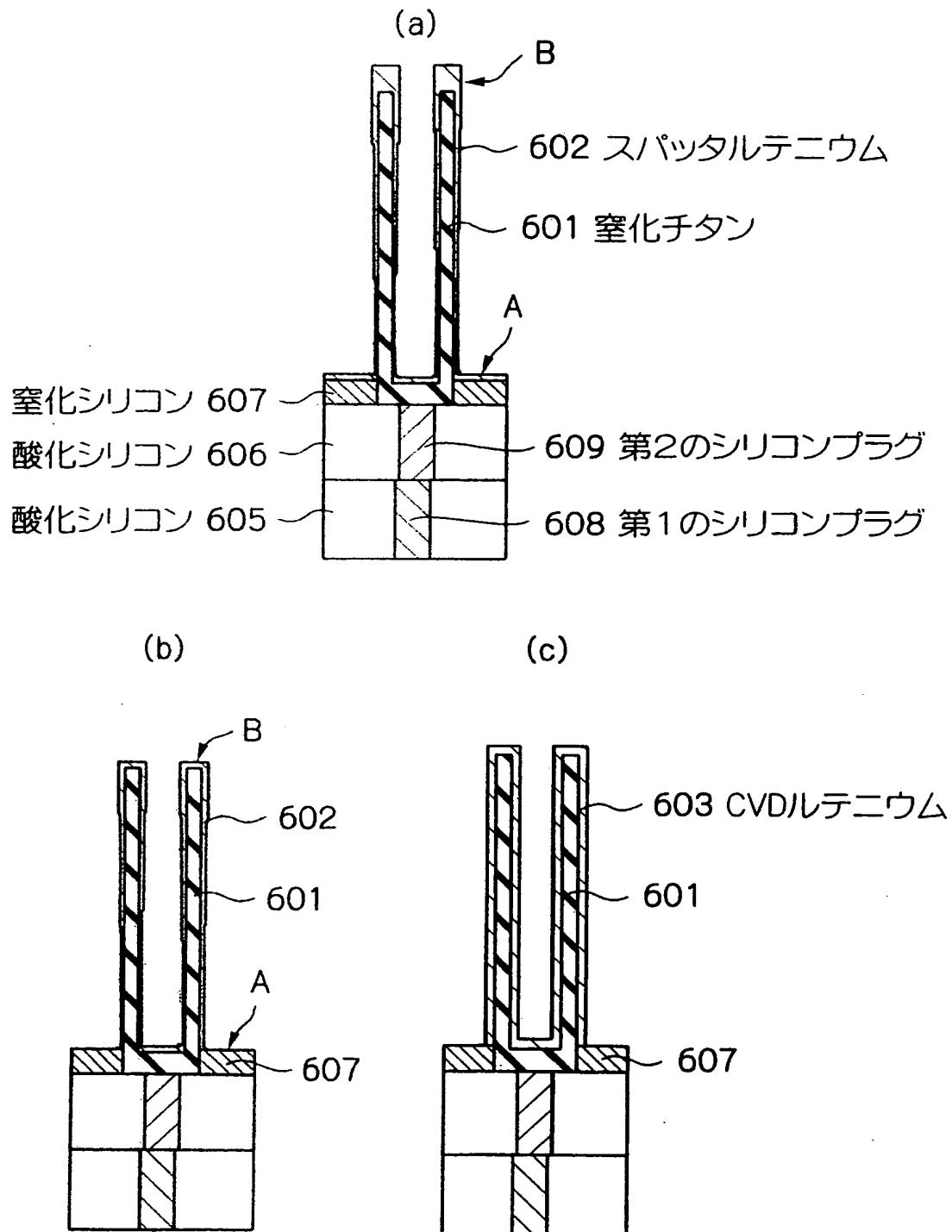
【図 1】



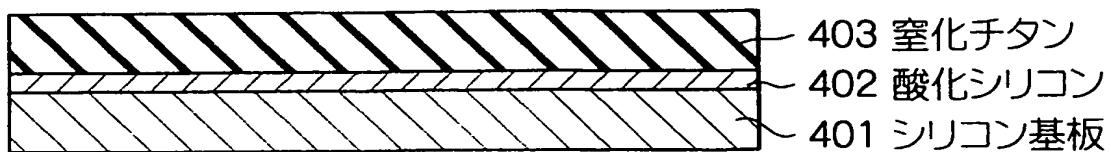
【図2】



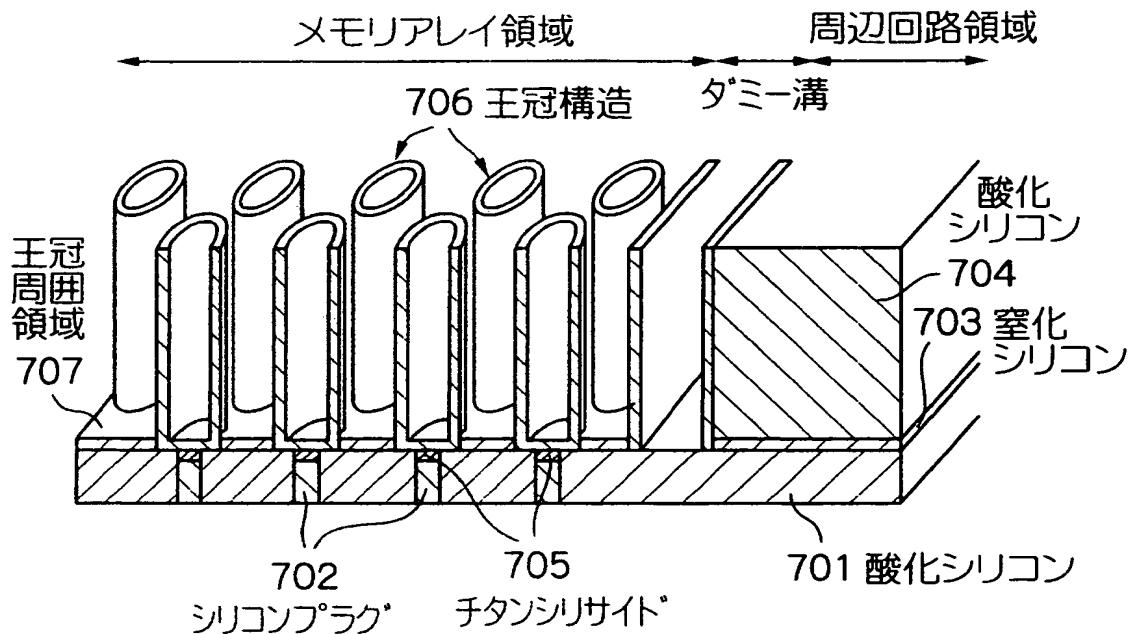
【図3】



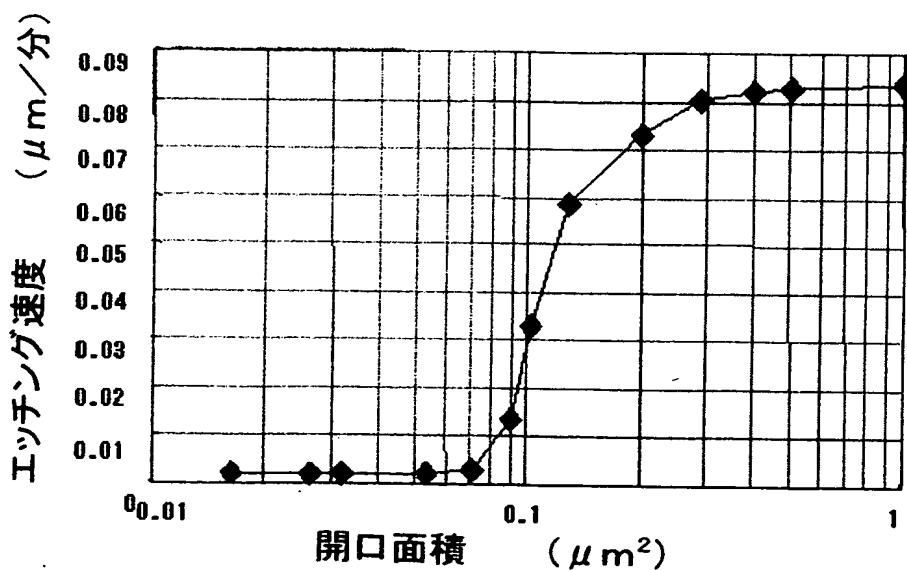
【図 4】



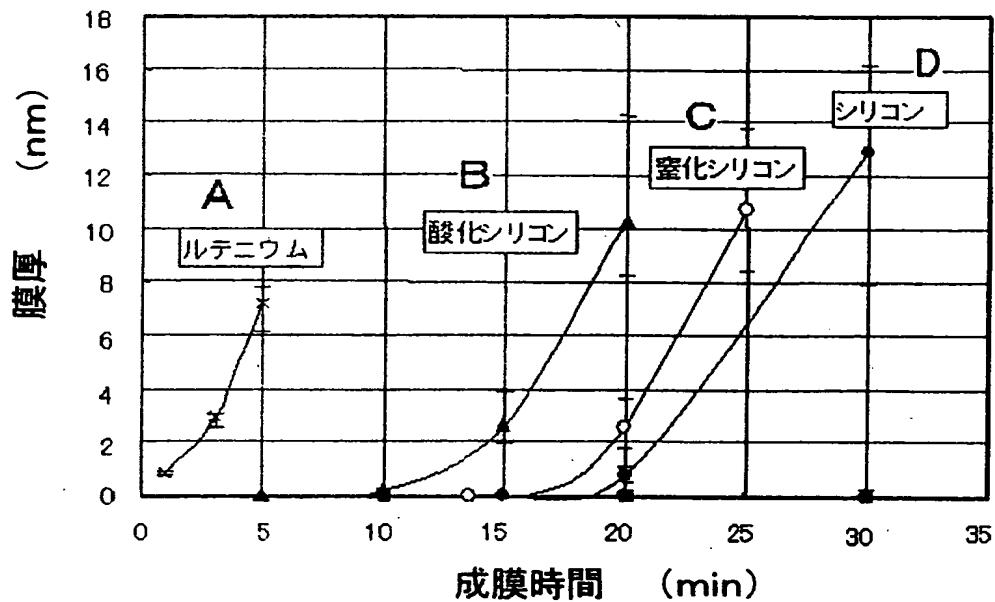
【図 5】



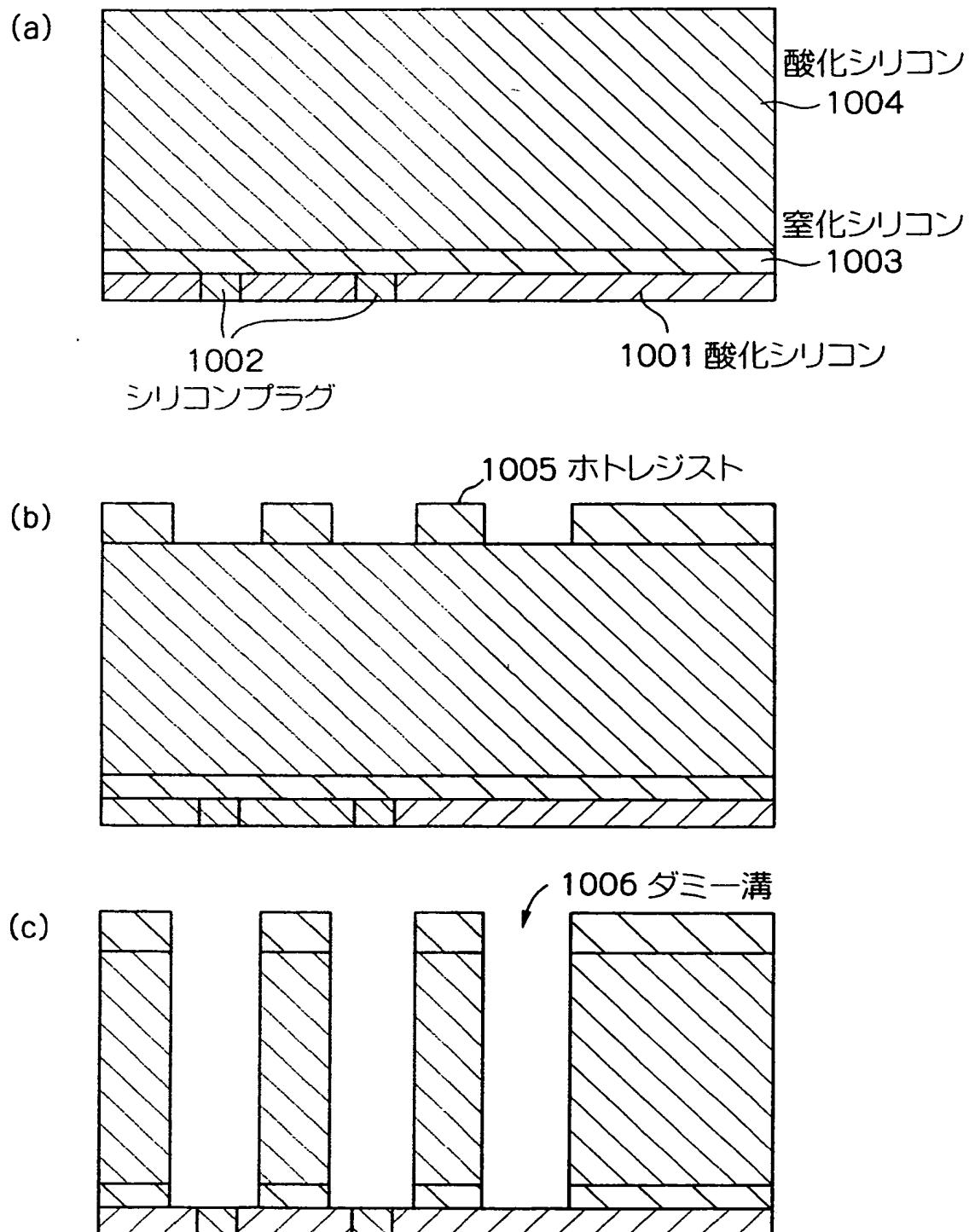
【図 6】



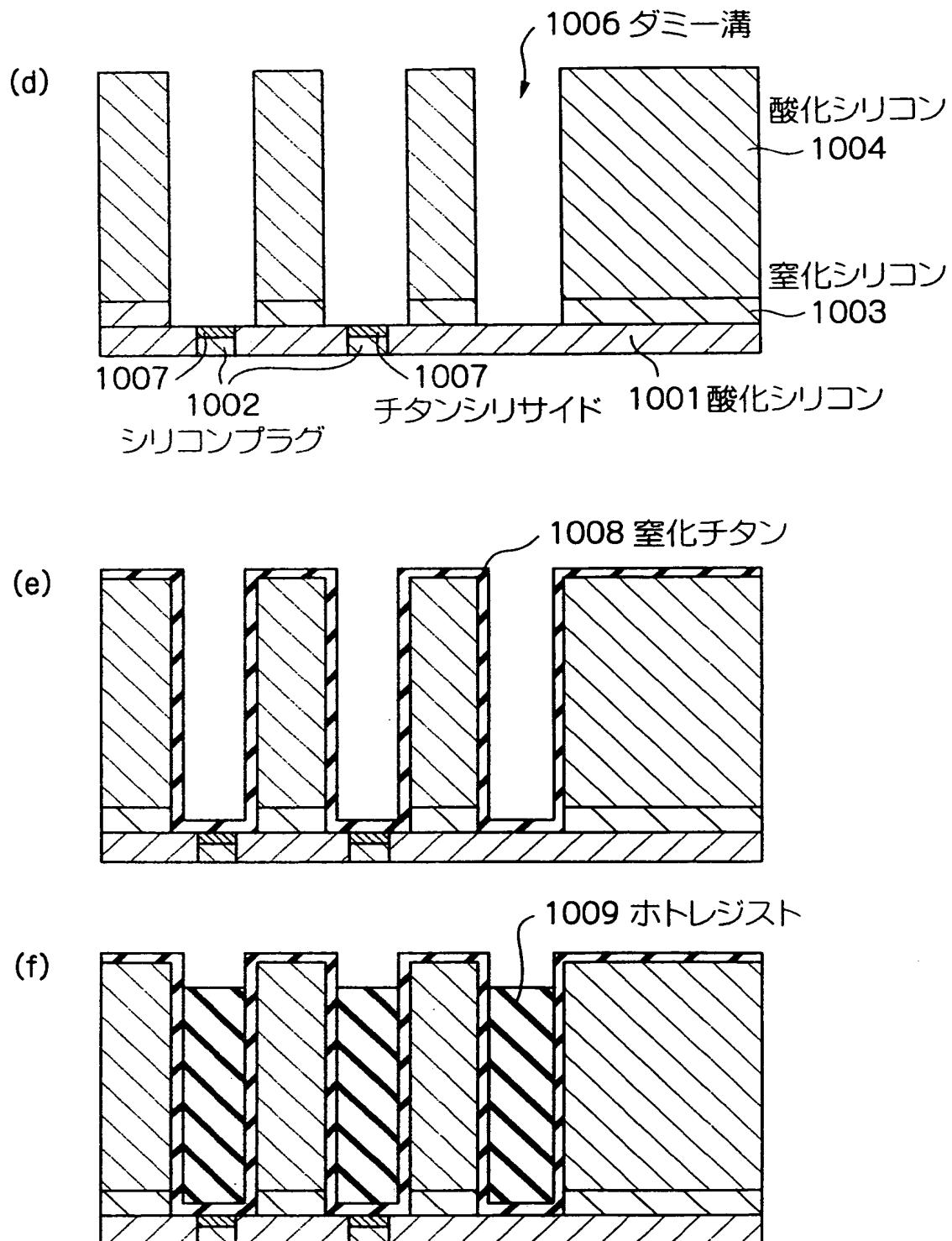
【図7】



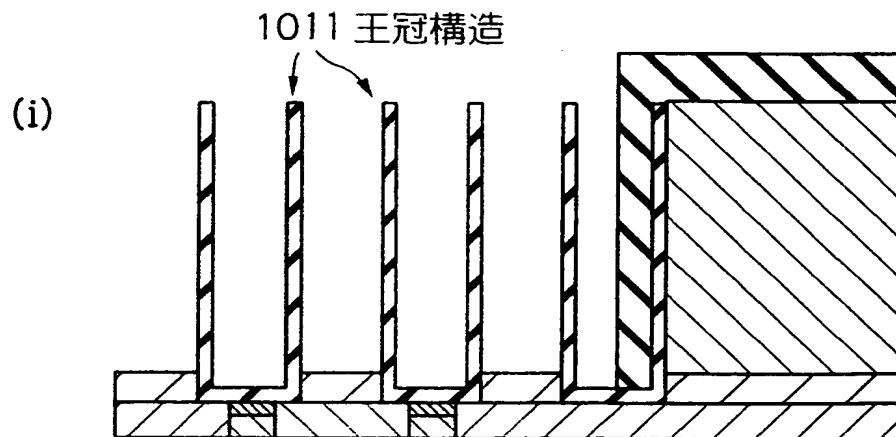
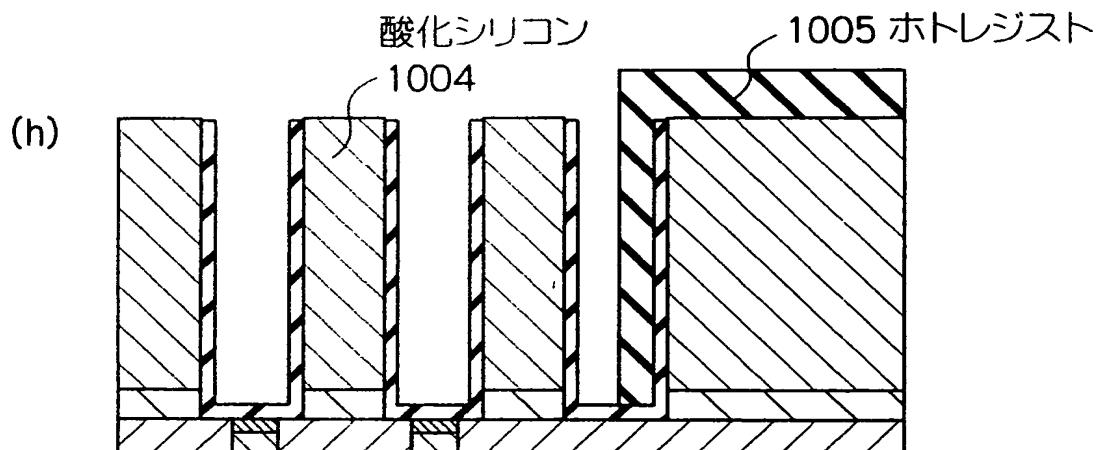
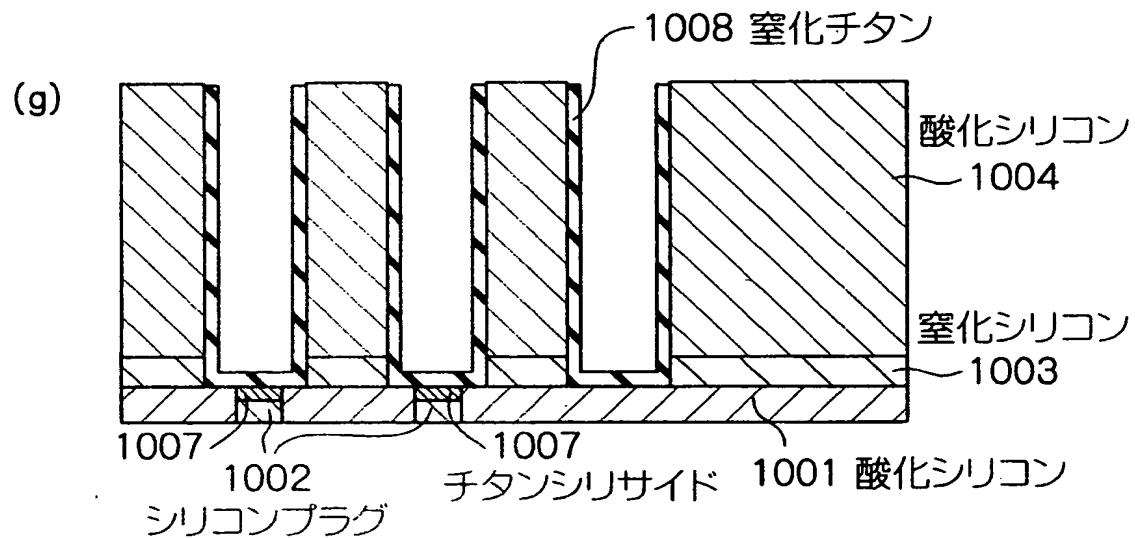
【図8】



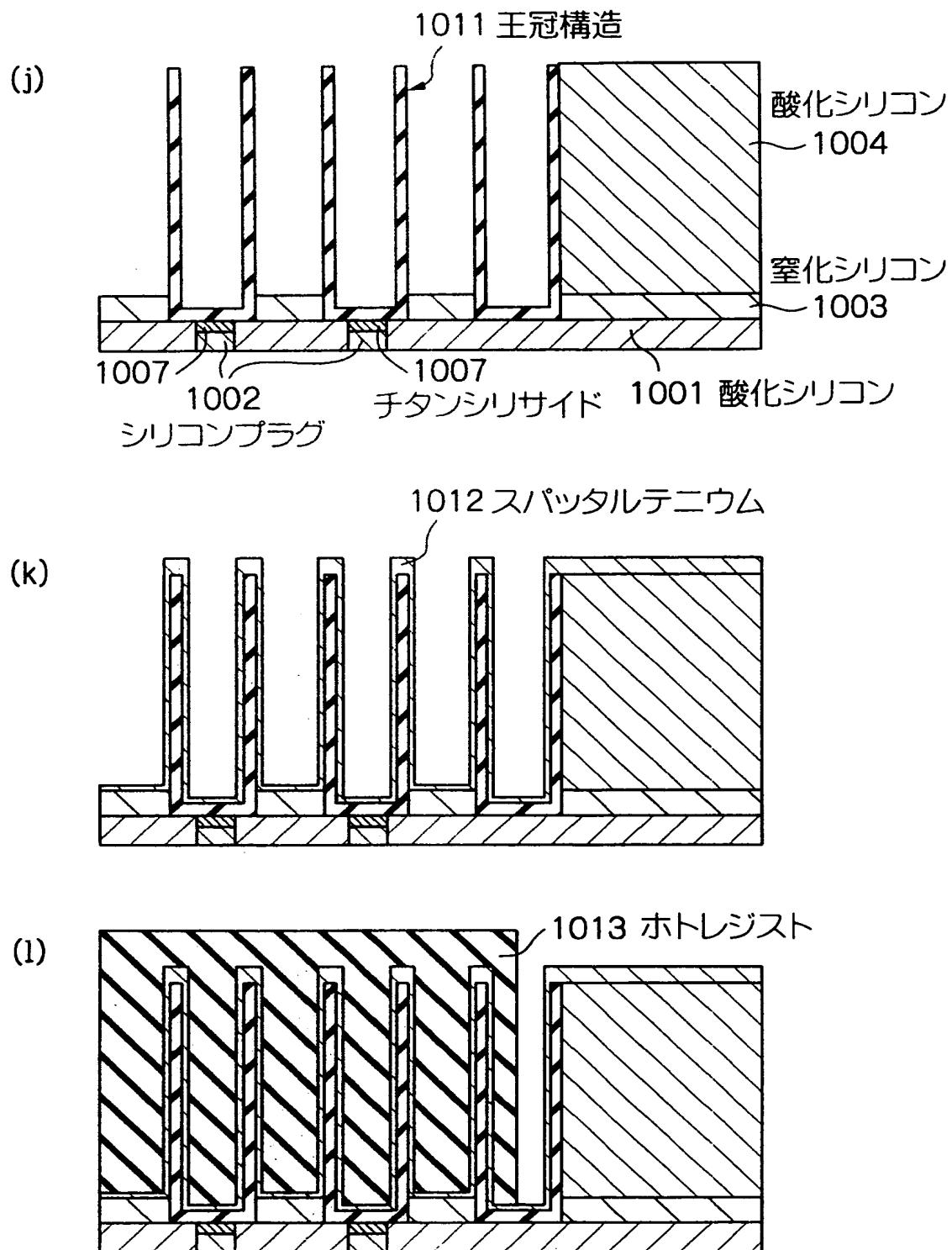
【図9】



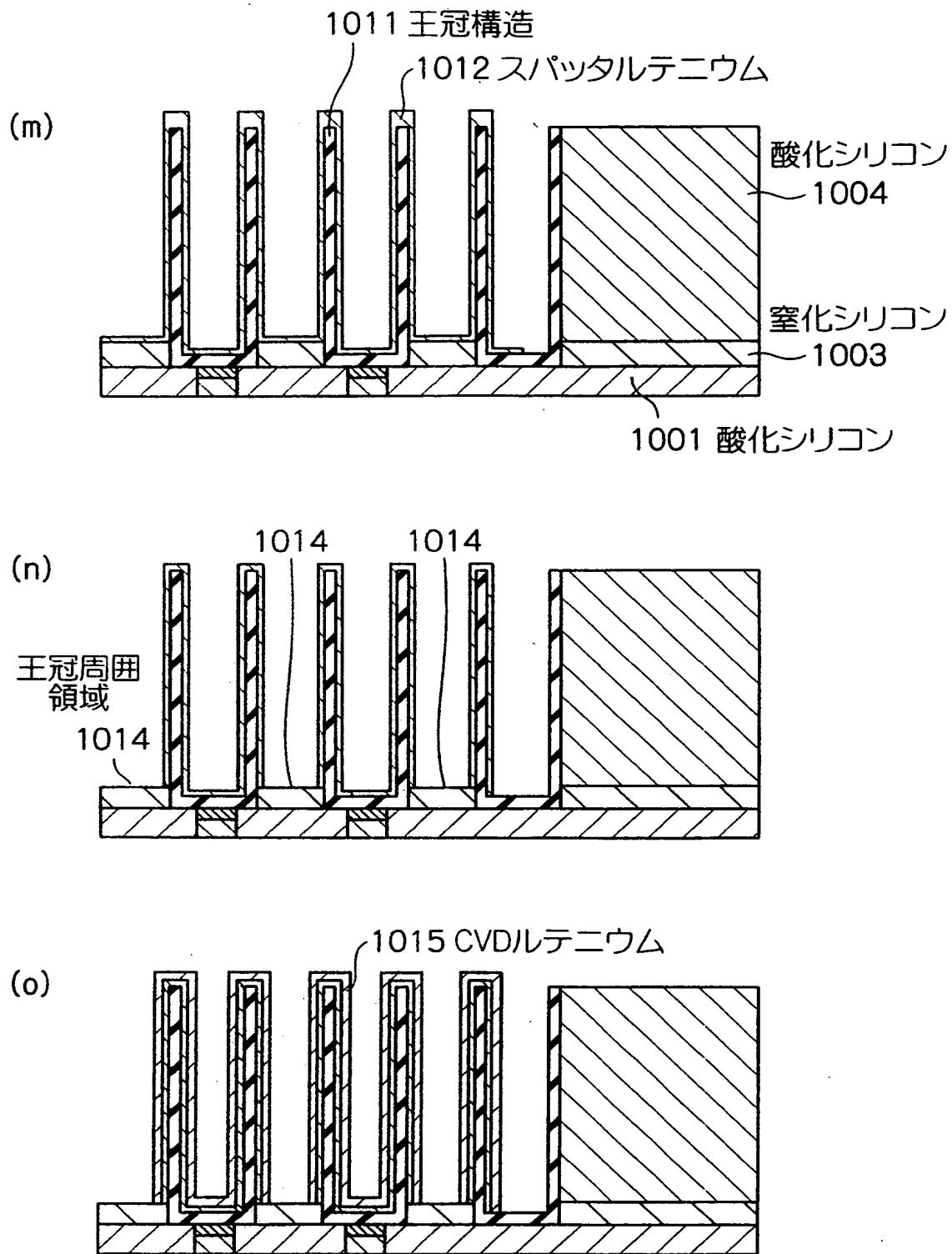
【図10】



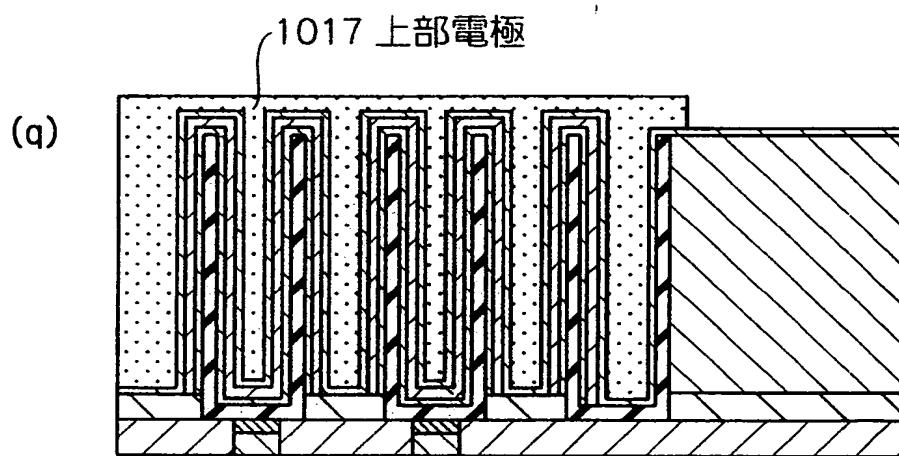
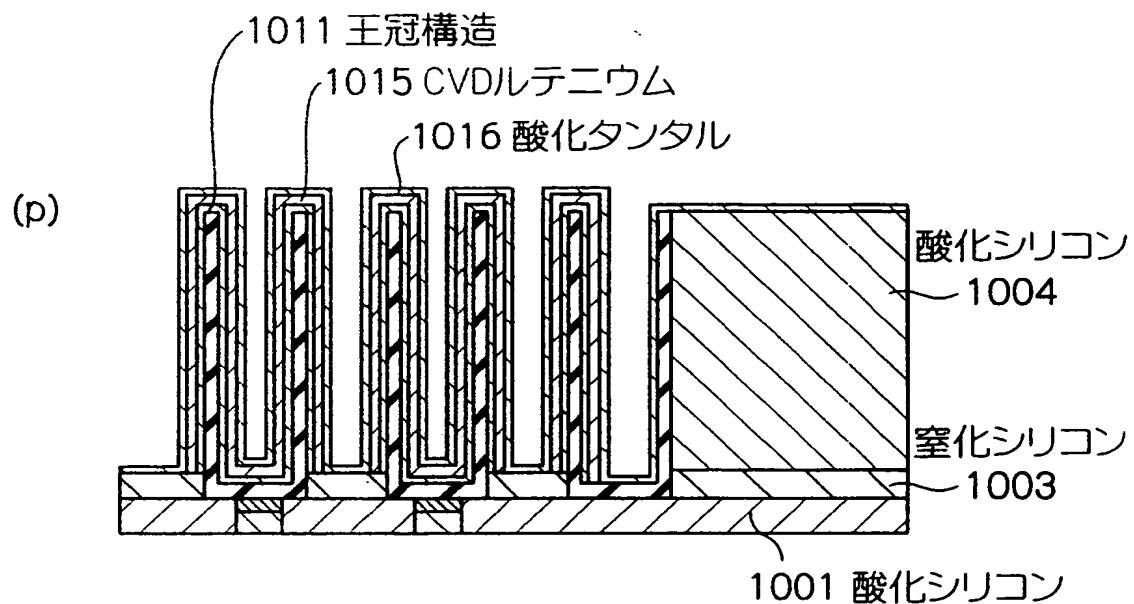
【図 11】



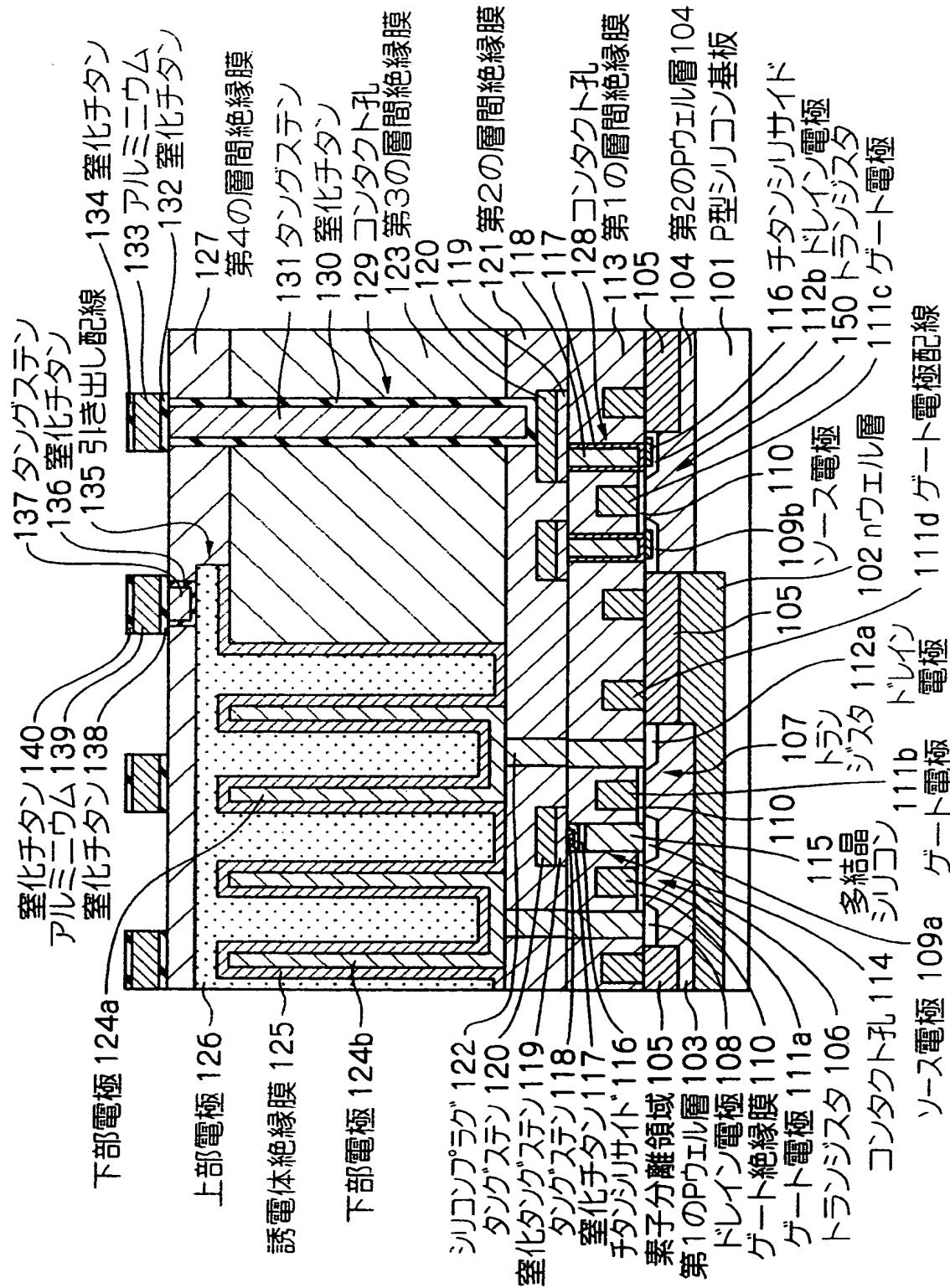
【図12】



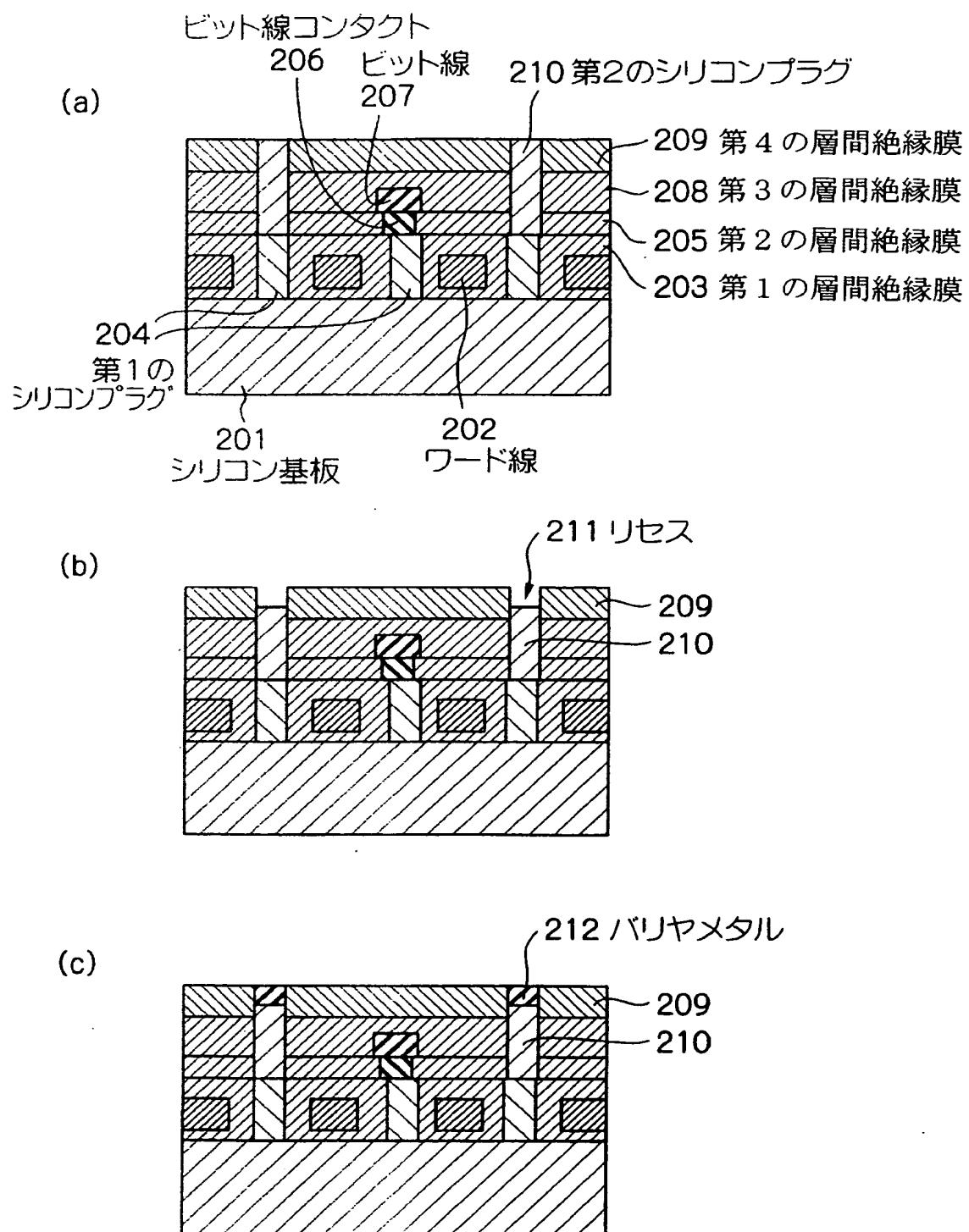
【図13】



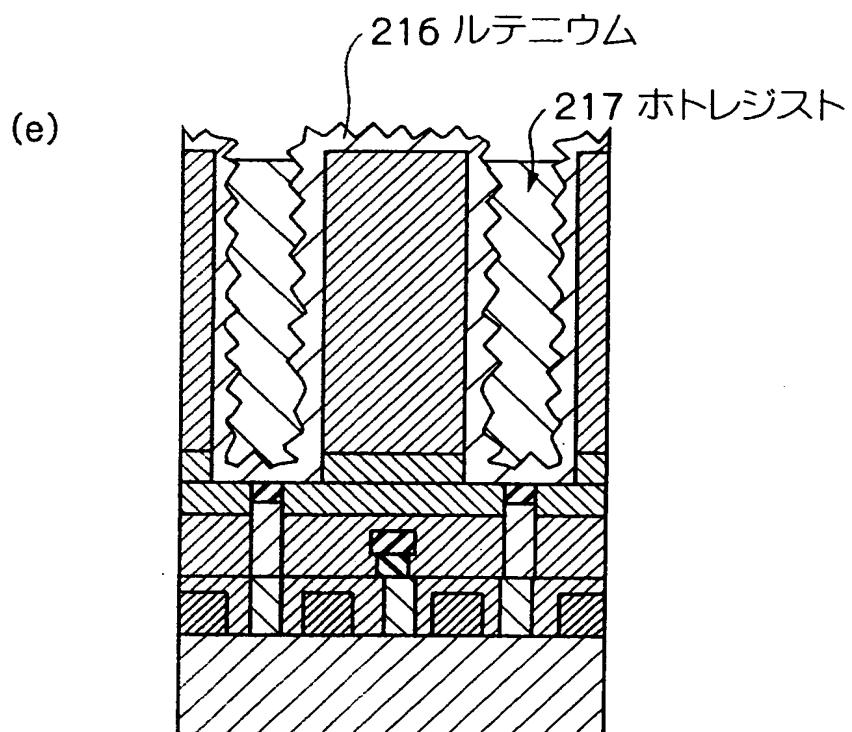
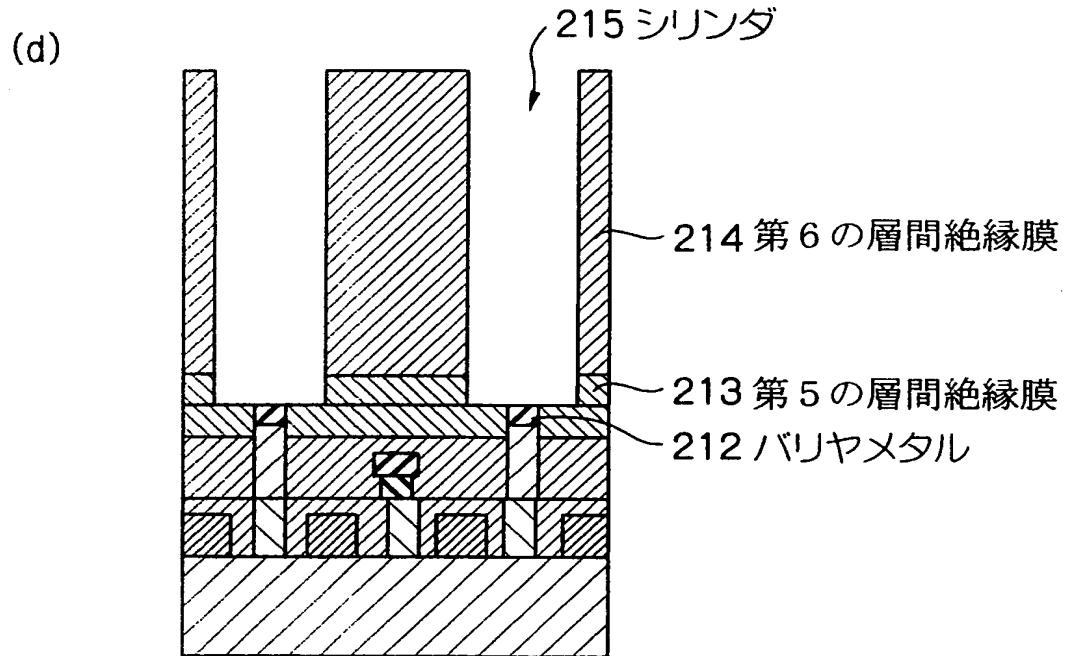
【図 1-4】



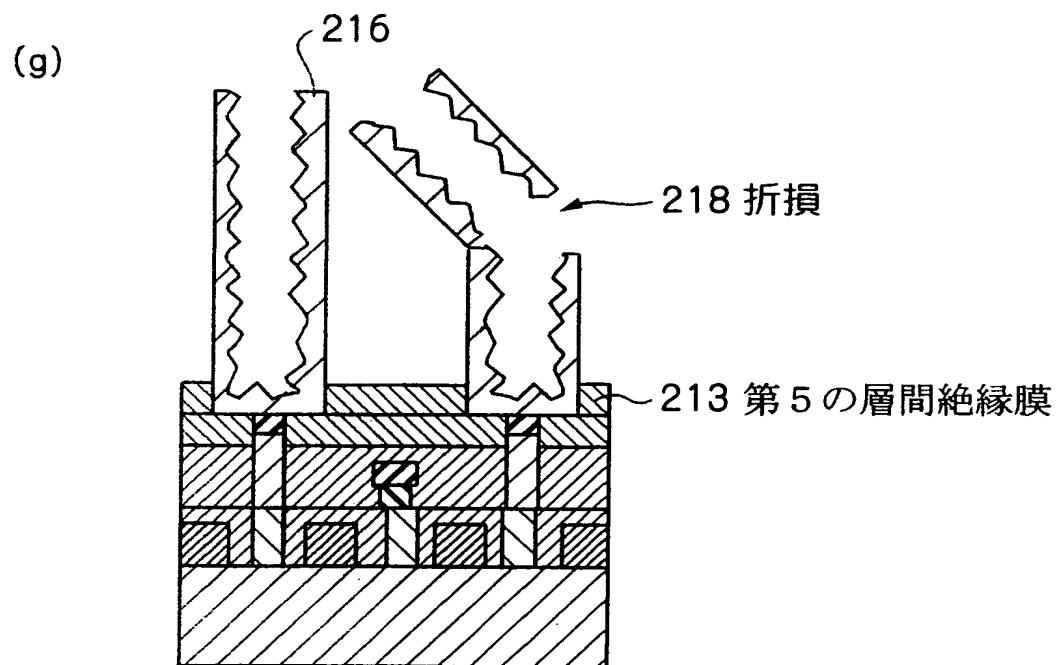
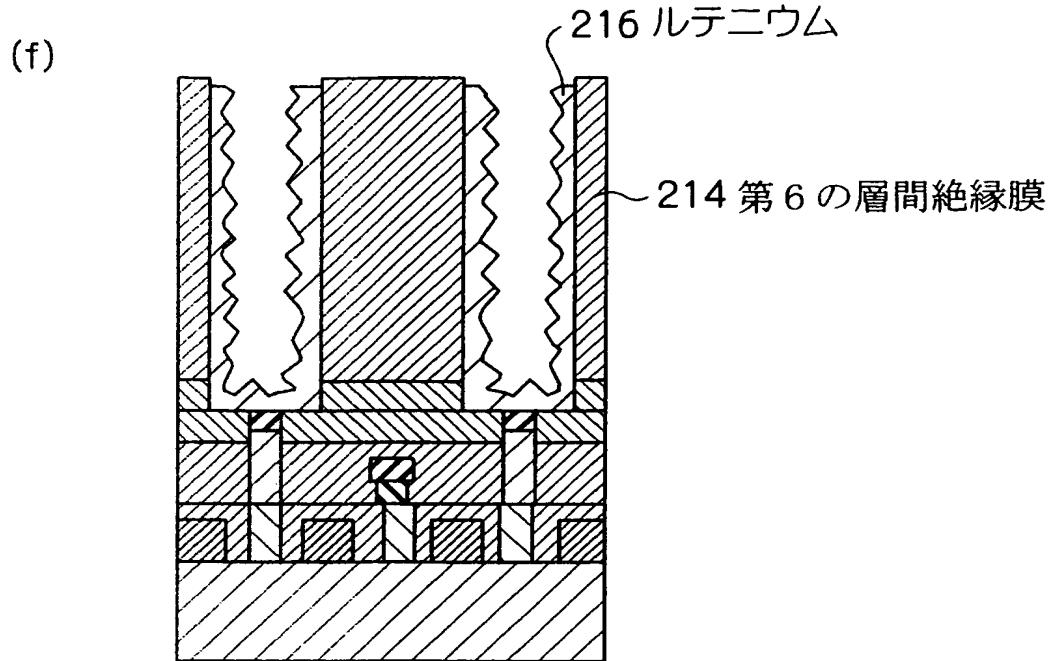
【図15】



【図16】

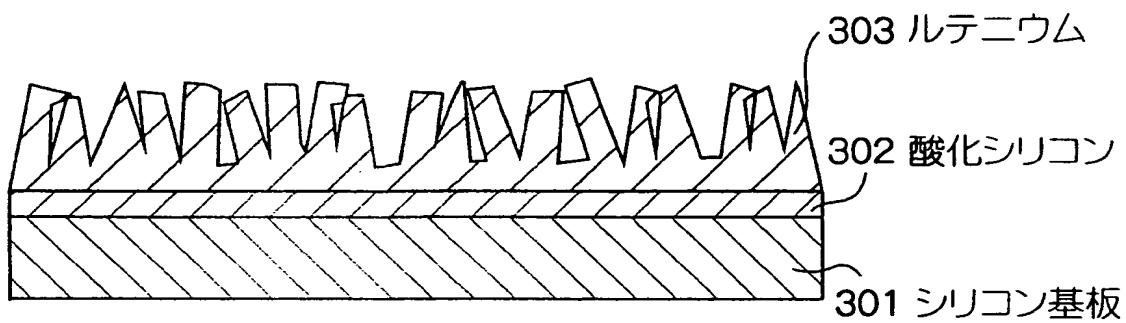


【図17】

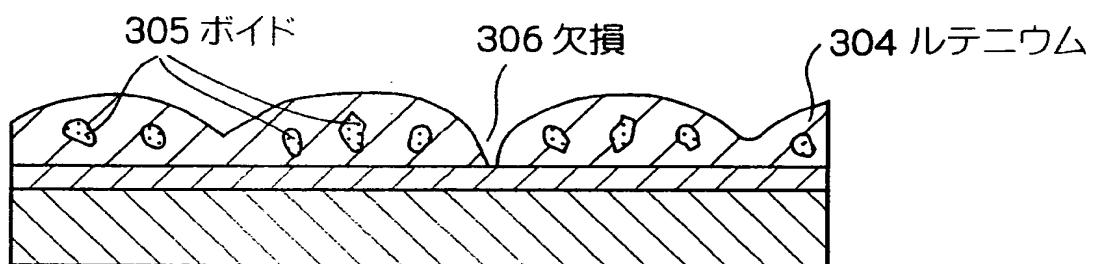


【図18】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 機械的強度の優れた王冠構造の蓄積電極を備えたキャパシタ素子を有する半導体集積回路装置を提供する。

【解決手段】 第1の導電性材料による所定の形状の底部と該底部の縁に沿って形成された筒形状を有する王冠構造を半導体基板上の第1の絶縁膜上に形成し、第1の導電性材料よりも酸化されにくい第2の導電性材料をシード層として少なくとも王冠構造の開口底部と側壁に形成し、第1の絶縁膜上に形成されたシード層を除去し、王冠構造表面に形成されたシード層上に第2の導電性材料を均一な膜厚で形成して、王冠構造と第2の導電性材料を有する蓄積電極を形成し、蓄積電極の露出面に誘電体である第2の絶縁膜を形成し、第2の絶縁膜に酸素を導入する。

【選択図】 図3

特願 2003-075955

出願人履歴情報

識別番号 [500174247]

1. 変更年月日 2000年 7月12日

[変更理由] 名称変更

住 所 東京都中央区八重洲2-2-1
氏 名 エルピーダメモリ株式会社